

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-307790

(43)公開日 平成10年(1998)11月17日

(51)Int.Cl.⁶

G 0 6 F 13/36
15/78

識別記号

5 3 0
5 1 0

F I

G 0 6 F 13/36
15/78

5 3 0 B
5 1 0 A

審査請求 未請求 請求項の数11 FD (全 29 頁)

(21)出願番号

特願平9-132800

(22)出願日

平成9年(1997)5月6日

(71)出願人 396025861

新世代株式会社

滋賀県草津市上笠3丁目14番8号

(72)発明者 加藤 周平

滋賀県草津市野路町1734番3号 新世代株
式会社内

(72)発明者 佐野 高一

滋賀県草津市野路町1734番3号 新世代株
式会社内

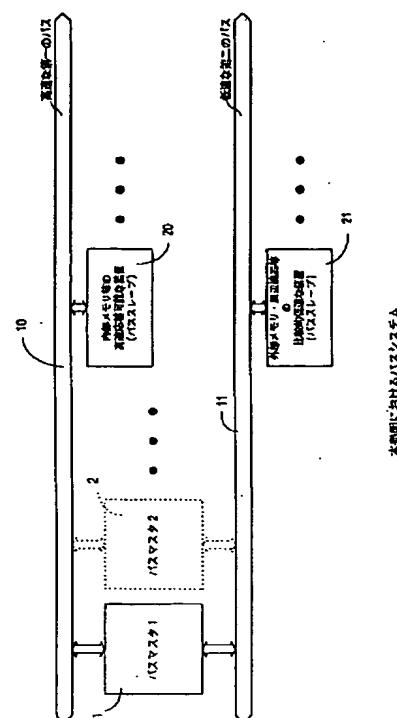
(74)代理人 弁理士 宮崎 伊章 (外1名)

(54)【発明の名称】 高速プロセッサ

(57)【要約】

【課題】 低価格でありながら効率的なバスの利用を可能とした高速プロセッサの提供を目的とする。

【解決手段】 少なくとも1のバスマスターと、データ転送能力の異なる複数のバスと、前記各バスの転送能力に応じた複数のバススレーブとを備える。各バスは、いずれもそれぞれ独立したアドレスバスおよびデータバスを有するものとする。そして各バススレーブを、それに対応する転送能力を有する前記いずれかのバスにそれぞれ接続し、バスマスターを前記各バスのアドレスバスおよびデータバスに直接接続する。



(2)

1

【特許請求の範囲】

【請求項1】少なくとも1のバスマスターと、データ転送能力の異なる複数のバスと、前記各バスの転送能力に応じた複数のバススレーブとを備え、前記各バススレーブが、それに対応する転送能力を有する前記いずれかのバスにそれぞれ接続されると共に、前記各バスは、いずれもそれぞれ独立したアドレスバスおよびデータバスを有するものであって、前記バスマスターが、前記各バスのアドレスバスおよびデータバスに直接接続されていることを特徴とする、高速プロセッサ。

【請求項2】少なくとも1のバスマスターと、動作速度の異なる複数のバスと、前記各バスの動作速度に対応した速度で応答可能な複数のバススレーブとを備え、前記各バススレーブが、その応答速度に対応する動作速度を有する前記いずれかのバスにそれぞれ接続されると共に、前記各バスは、いずれもそれぞれ独立したアドレスバスおよびデータバスを有するものであって、前記バスマスターが、前記各バスのアドレスバスおよびデータバスに直接接続されていることを特徴とする、高速プロセッサ。

【請求項3】複数のバスマスターと、データ転送能力の異なる複数のバスと、前記各バスの転送能力に応じた複数のバススレーブとを備え、前記各バススレーブが、それに対応する転送能力を有する前記いずれかのバスにそれぞれ接続されると共に、前記各バスは、いずれもそれぞれ独立したアドレスバスおよびデータバスを有するものであって、前記各バスマスターのそれぞれが、前記各バスのアドレスバスおよびデータバスに直接接続され、更に前記各バス毎に、複数の前記バスマスターからのバスに対するアクセスを調停するバス調停回路が備えられていることを特徴とする、高速プロセッサ。

【請求項4】複数のバスマスターと、動作速度の異なる複数のバスと、前記各バスの動作速度に対応した速度で応答可能な複数のバススレーブとを備え、前記各バススレーブが、それに対応する動作速度を有する前記いずれかのバスにそれぞれ接続されると共に、前記各バスは、いずれもそれぞれ独立したアドレスバスおよびデータバスを有するものであって、前記各バスマスターのそれぞれが、前記各バスのアドレスバスおよびデータバスに直接接続され、更に前記各バス毎に、複数の前記バスマスターからのバスに対するアクセスを調停するバス調停回路が備えられていることを特徴とする、高速プロセッサ。

2

【請求項5】前記バスマスターは、前記バス調停回路に対して、バス使用要求信号を出力する機能、バス使用許可信号が得られるまで前記バスに対するアクセスを待機する機能および前記バスに対してアドレスを送出する機能を、接続された前記バス毎に独立に有するものであつて、接続された前記バスに対してバス毎に独立したインターフェースを備えている、請求項3または4に記載の高速プロセッサ。

【請求項6】前記インターフェースは、
10 前記バスに対するアドレスの出力・非出力を制御する、バス毎に独立した複数組の3ステートバッファと、前記バスに対するデータの入出力および接続・非接続を制御する、バス毎に独立した複数組の双方向3ステートバッファと、
バス調停回路からのバス使用許可に基づいて3ステートバッファを制御する手段とを備えてなるものである、請求項5に記載の高速プロセッサ。

【請求項7】少なくとも前記いずれかのプロセッサは、論理アドレスをプロセッサの内部で発行する手段と、
20 発行された論理アドレスをデコードするデコーダと、デコードされたアドレス情報に基づいて複数のバス内の一つを選択してバス使用要求信号を出力する手段と、論理アドレスの内の必要なアドレス情報のみ選択して物理アドレスを生成する手段、あるいは論理アドレスを変換して物理アドレスを生成する手段と、生成された物理アドレスをバスに対して出力する前記複数組の3ステートバッファとを備え、これにより、バス毎に独立な複数の物理アドレス空間を单一の論理アドレス空間の内的一部分に割り当たられるものとなされた、請求項1ないし6のいずれか1に記載の高速プロセッサ。

【請求項8】前記バス調停回路は、
前記バススレーブにアクセス可能な最速の時間とバスが動作可能である最速の時間の内のどちらか遅い方をバスサイクル時間と定め、このバスサイクル毎に必ずバス使用权の判定を行い、1バスサイクル単位でのみプロセッサにバスの使用許可を与える機能を備え、前記プロセッサは、前記バスサイクル期間内にてデータを送受する機能を備えてなる、請求項3ないし7のいずれか1に記載の高速プロセッサ。

【請求項9】前記バス調停回路は、
バスマスター相互の優先順位を定めたバスマスター優先順位情報を1組とする複数組みのバスマスター優先順位情報を格納する優先順位情報格納手段と、該格納手段から、前記複数組みのバスマスター優先順位情報を繰り返し単位として、1バスサイクル毎に1組づつ前記バスマスター優先順位情報を順次的に選択する優先順位情報選択手段と、該選択手段によって選択された1組の前記優先順位情報に基づいて、バス使用要求をしているバスマスターのうち

50

(3)

3

当該組において最も優先順位の高いバスマスターに対して1バスサイクルだけバスの使用を許可すべくバス使用許可信号を出力するバス使用許可信号生成回路とを具備してなる、請求項3ないし8のいずれか1に記載の高速プロセッサ。

【請求項10】前記の全ての構成要素が单一の半導体素子内に集積されてなる、請求項1ないし9のいずれか1に記載の高速プロセッサ。

【請求項11】前記プロセッサは、

1または複数の中央演算処理プロセッサと、
グラフィック処理を行いビデオ信号を発生する手段を備えるプロセッサと、
サウンド処理を行いオーディオ信号を発生する手段を備えるプロセッサとを含むものであり、
前記バスは、

半導体素子内部の機能ブロック及び高速な半導体メモリとのデータ転送、交換を司る第1のバスと、
半導体素子外部の周辺装置及び低速な半導体メモリとのデータ転送、交換を司る第2のバスとを含み、
前記バススレーブは、前記第1のバスに接続される半導体メモリを含み、

前記バス調停回路は、前記第1のバスの調停を司る第1のバス調停回路と、前記第2のバスの調停を司る第2のバス調停回路とを含む、請求項3ないし10のいずれか1に記載の高速プロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばテレビゲーム機器、通信ネットワーク情報機器、携帯用情報機器、通信カラオケ用機器、カーナビゲーション機器、知育玩具、学習教材機器、ワードプロセッサ、実用情報提供機器、工場の生産ライン等で用いられる検査用機器、各種測定機器等において用いられる高速プロセッサに関する。

【0002】

【従来の技術】従来より、複数のプロセッサ（バスマスター）が分担及び協力して処理を行うマルチプロセッサシステムは多數存在する。このようなシステムにおいては、複数のプロセッサ（バスマスター）が单一のバス及びこのバスに接続された資源を共有する構成が多く見られる。ここにバスに接続される資源とは、メモリ装置、入出力制御装置、その他の機能ブロック等のアドレスを受理する側の装置を指す。アドレスを発行する側のバスマスターに対して、この明細書ではこれらをバススレーブという。このように複数のプロセッサ（バスマスター）が資源を共有するシステムには、資源の共有化によるシステムの簡略化と資源間のデータ転送の必要性を少なくすることによるシステムの効率化という大きな長所がある。

【0003】しかしながら近年、プロセッサ（バスマスター）の性能向上はめざましく、メモリ装置等との速度差

(4)

4

が広がり、プロセッサ（バスマスター）とメモリ装置間のデータ転送がプロセッサ（バスマスター）の処理における大きなボトルネックとなってきている。多くのシステムにおいては、高速なキャッシュメモリ等を用い、このボトルネックを緩和するよう努めている。

【0004】共有バスを備えるマルチプロセッサシステムにおいては、各々のプロセッサ（バスマスター）が共有バスを利用できる期間が单一のプロセッサ（バスマスター）のみを備えるシステムに比べて少なくなるため、このボトルネックはより大きな問題となる。多くのシステムでは、プロセッサ（バスマスター）内部のキャッシュメモリや各々のプロセッサ（バスマスター）が専有するローカルメモリ等を積極的に導入し、共有バスを用いるデータ転送の必要性を可能な限り減らすように努めている。

【0005】また、このボトルネックを解決する別の方針として、プロセッサ（バスマスター）が複数の外部バスを備える場合もある。その既知の例としては、命令取得用のバスとデータアクセス用のバスとを分離したハーバード・アーキテクチャ・プロセッサが挙げられる。あるいは、メモリアクセス用のバスと入出力制御用のバスを分離したプロセッサの例もある。

【0006】ところで、单一のバスシステムにおいては、全てのバススレーブがこのバスに接続されるが、応答速度（アクセススピード）やデータバス幅に差のあるバススレーブが混在する場合には、バスの利用効率が落ちることになる。

【0007】そこで、図16に示されるように、データ転送能力の異なるバスを複数設け、各々の転送能力に応じたバススレーブを接続して、バスの利用効率を上げるシステムも存在する。なお、この明細書においてバスのデータ転送能力とは、バスサイクル周波数とデータバスのビット幅の積で比較されるものをいうものとする。この様にデータ転送能力別に複数のバスを設けたシステムの例としては、パーソナルコンピュータやワークステーションに多く見られる階層構造的なバスシステムが挙げられる。

【0008】CPU（中央演算処理装置）としてインテル社製ペンティアムプロセッサを搭載した近年のPC/AT互換機を例に取ると、バスサイクル周波数60メガヘルツもしくは66メガヘルツでデータバス幅64ビットのプロセッサ外部バス、バスサイクル周波数33メガヘルツでデータバス幅32ビットのPCIバス、バスサイクル周波数10メガヘルツ前後でデータバス幅8ビットのATバスの三つの異なるデータ転送能力を持ったバスが備えられるのが一般的である。

【0009】DRAM等の半導体メモリはプロセッサ外部バスに、グラフィック処理装置等の高速なデータ転送が必要とされる周辺装置はPCIバスに、磁性体メモリ等の比較的低速なデータ転送が行われる周辺装置はATバスに接続される。

(4)

5

【0010】このシステムにおいては、CPUがバスマスターとして直接制御を行っているのはプロセッサ外部バス（高速な第一のバス）に対してのみであり、PCIバス（低速な第二のバス）とATバス（低速な第三のバス）に関してはバス相互間インターフェース装置が仲介してデータ転送を行っている。一般的には、プロセッサ外部バス（高速な第一のバス）とPCIバス（低速な第二のバス）間をインターフェースするバス相互間インターフェース装置と、PCIバス（低速な第二のバス）とATバス（低速な第三のバス）間をインターフェースするバス相互間インターフェース装置との二つが備えられる。このシステムにおいては、下位側のバスへのアクセスは上位側のバスを経由して行われることになる。

【0011】ところで、複数のプロセッサ（バスマスター）がバス及びバススレーブを共有するシステムにおいては、バス調停のためのシステムが不可欠である。何故ならば、バスは時分割方式で共有されており、ある一時点に着目すると一つのプロセッサ（バスマスター）しかバスを使用できないからである。

【0012】一般的には、プロセッサ（バスマスター）はバス調停回路に対してバス使用要求を発行し、バス調停回路はこのバス使用要求に基づいて調停を行い、プロセッサ（バスマスター）はバス調停回路よりバス使用許可を受理した後にバスを使用するといった方式が多く用いられている。

【0013】

【発明が解決しようとする課題】しかしながら、上述のシステムでは、ある1つのバスマスターが自らバスを開放するまでの期間、あるいは定められた一定期間、他のバス及びバススレーブは上記1つのバスマスターに占有されてしまう。

【0014】特に、複数のバスマスターを備えたマルチプロセッサシステムにおいては、共有バスの使用効率が悪くなると、システム全体としての処理能力が低くなるという難を有するものであった。

【0015】従来技術において多くみられるようなキャッシュメモリやローカルメモリ等を用いた方式では、システムを安価で構成することは難しい。

【0016】キャッシュメモリは、高速なメモリ素子で構成される必要があるのみならず、データを格納するメモリ素子の他にアドレス情報を格納するメモリ素子、キャッシュメモリと共有バス上のメモリ装置の内容を同一に保つための制御回路等が必要になりシステム全体として高価、複雑になるものであった。

【0017】また、キャッシュメモリやローカルメモリは、共有バス上のメモリ装置と同じ内容のデータを保持することも多く、同一のデータが複数のメモリ装置間で重複して保持されるため、メモリ資源の有効活用という点で望ましくないものであった。

【0018】而して、この発明は、キャッシュメモリ等

6

の手法を用いず、共有バスの使用効率を可能な限り高めることにより、バスマスターとバススレーブ相互間のデータ転送上のボトルネックを解決することを目的とする。

【0019】また共有バスが単一である場合、データ転送能力の異なる全てのバススレーブがこのバスに接続されることになる。これはバスのデータ転送の総量が低くなることを意味し、バスの効率的利用を妨げる要因の一つとなる。この点を鑑みると、共有バスをデータ転送能力の異なる複数のバスに分離し、各々のデータ転送能力に見合ったバススレーブを接続することは、バスの効率的利用を達成する上で有効な手段である。しかしながら、既知の階層構造的バスシステムには、下位側のバスへのアクセスを行うために上位側のデータ転送幅を消費しなければならないという問題点が存在する。また、バス相互間インターフェース装置内には、下位側のバスをバスマスターとして制御するための機能や、バスのデータ転送能力の差を吸収するためのFIFO（ファースト・イン・ファースト・アウト）メモリ等を用いる場合も多く、安価で構成することを目的としたシステムには適さない。

【0020】従って、この発明においては、従来既知の階層構造的バスシステムによらず、安価に構成することができ、しかも効率的なバスの利用が可能な、新規なシステムを構築することをも目的とする。

【0021】またこの発明は、低価格でありながら可能な限り高性能である高速プロセッサの提供をも目的とする。

【0022】ここで調停方式に着目すると、既存の調停方式には、ある時間幅を持つ期間中プロセッサ（バスマスター）がバスを占有して使用するという方式が多く見られる。このような調停方式においては、プロセッサ（バスマスター）が内部動作を行っている期間や、内部キャッシュメモリ等にアクセスしている期間中、プロセッサ（バスマスター）は実際にはバスを使用していないにも拘わらず、他のプロセッサ（バスマスター）はバスを使用できない。また、バスサイクル速度は、バスの使用権を与えられたプロセッサ（バスマスター）のバスサイクル速度に依存し、低速なプロセッサ（バスマスター）がバスを占有する場合はバスの使用効率が落ちることになる。従つて、この発明においては、独自のバス調停方式を採用することによってもバスの効率的利用を実現することをも目的とする。

【0023】

【課題を解決するための手段】而して、この発明は上述の課題を達成すべくなされたものであって、その発明の第1は、少なくとも1のバスマスターと、データ転送能力の異なる複数のバスと、前記各バスの転送能力に応じた複数のバススレーブとを備え、前記各バススレーブが、それに対応する転送能力を有する前記いずれかのバスにそれぞれ接続されると共に、前記各バスは、いずれもそ

(5)

7

れぞれ独立したアドレスバスおよびデータバスを有するものであって、前記バスマスターが、前記各バスのアドレスバスおよびデータバスに直接接続されていることを特徴とする、高速プロセッサを要旨とするものである。

【0024】またこの発明の第2は、少なくとも1のバスマスターと、動作速度の異なる複数のバスと、前記各バスの動作速度に対応した速度で応答可能な複数のバススレーブとを備え、前記各バススレーブが、その応答速度に対応する動作速度を有する前記いずれかのバスにそれぞれ接続されると共に、前記各バスは、いずれもそれぞれ独立したアドレスバスおよびデータバスを有するものであって、前記バスマスターが、前記各バスのアドレスバスおよびデータバスに直接接続されていることを特徴とする、高速プロセッサを要旨とするものである。

【0025】更にこの発明の第3は、複数のバスマスターと、データ転送能力の異なる複数のバスと、前記各バスの転送能力に応じた複数のバススレーブとを備え、前記各バススレーブが、それに対応する転送能力を有する前記いずれかのバスにそれぞれ接続されると共に、前記各バスは、いずれもそれぞれ独立したアドレスバスおよびデータバスを有するものであって、前記各バスマスターのそれぞれが、前記各バスのアドレスバスおよびデータバスに直接接続され、更に前記各バス毎に、複数の前記バスマスターからのバスに対するアクセスを調停するバス調停回路が備えられていることを特徴とする、高速プロセッサを要旨とするものである。

【0026】更にまたこの発明の第4は、複数のバスマスターと、動作速度の異なる複数のバスと、前記各バスの動作速度に対応した速度で応答可能な複数のバススレーブとを備え、前記各バススレーブが、それに対応する動作速度を有する前記いずれかのバスにそれぞれ接続されると共に、前記各バスは、いずれもそれぞれ独立したアドレスバスおよびデータバスを有するものであって、前記各バスマスターのそれぞれが、前記各バスのアドレスバスおよびデータバスに直接接続され、更に前記各バス毎に、複数の前記バスマスターからのバスに対するアクセスを調停するバス調停回路が備えられていることを特徴とする、高速プロセッサを要旨とするものである。

【0027】前記バスマスターとしては、前記バス調停回路に対して、バス使用要求信号を出力する機能、バス使用許可信号が得られるまで前記バスに対するアクセスを待機する機能および前記バスに対してアドレスを送出する機能を、接続された前記バス毎に独立に有するものであって、接続された前記バスに対してバス毎に独立したインターフェースを備えているものを用いることが好ましい。

【0028】上記インターフェースとしては、前記バスに対するアドレスの出力・非出力を制御する、バス毎に独立した複数組の3ステートバッファと、前記バスに対するデータの入出力および接続・非接続を制御する、バ

(5)

8

ス毎に独立した複数組の双方向3ステートバッファと、バス調停回路からのバス使用許可に基づいて3ステートバッファを制御する手段とを備えてなるものを用いても良い。

【0029】前記プロセッサとしては、少なくともいづれかが論理アドレスをプロセッサの内部で発行する手段と、発行された論理アドレスをデコードするデコーダと、デコードされたアドレス情報に基づいて複数のバスの内の一つを選択してバス使用要求信号を出力する手段と、論理アドレスの内の必要なアドレス情報のみ選択して物理アドレスを生成する手段、あるいは論理アドレスを変換して物理アドレスを生成する手段と、生成された物理アドレスをバスに対して出力する前記複数組の3ステートバッファとを備え、これにより、バス毎に独立な複数の物理アドレス空間を单一の論理アドレス空間の内の一一部に割り当てられるものとなされたものであることが望ましい。

【0030】前記バス調停回路としては、前記バススレーブにアクセス可能な最速の時間とバスが動作可能である最速の時間の内のどちらか遅い方をバスサイクル時間と定め、このバスサイクル毎に必ずバス使用権の判定を行い、1バスサイクル単位でのみプロセッサにバスの使用許可を与える機能を備えたものであって、しかも前記プロセッサとしては、前記バスサイクル期間内にてデータを送受する機能を備えてなるものであることが望ましい。

【0031】また前記バス調停回路は、バスマスター相互の優先順位を定めたバスマスター優先順位情報を1組とする複数組みのバスマスター優先順位情報を格納する優先順位情報格納手段と、該格納手段から、前記複数組みのバスマスター優先順位情報を繰り返し単位として、1バスサイクル毎に1組づつ前記バスマスター優先順位情報を順次的に選択する優先順位情報選択手段と、該選択手段によって選択された1組の前記優先順位情報に基づいて、バス使用要求をしているバスマスターのうち当該組において最も優先順位の高いバスマスターに対して1バスサイクルだけバスの使用を許可すべくバス使用許可信号を出力するバス使用許可信号生成回路とを具備してなるものであることが望ましい。

【0032】更に、前記の全ての構成要素が单一の半導体素子内に集積されてなるものであっても良い。

【0033】また前記プロセッサとして、1または複数の中央演算処理プロセッサと、グラフィック処理を行いビデオ信号を発生する手段を備えるプロセッサと、サウンド処理を行いオーディオ信号を発生する手段を備えるプロセッサとを含むもの、前記バスとして、半導体素子内部の機能ブロック及び高速な半導体メモリとのデータ転送、交換を司る第1のバスと、半導体素子外部の周辺装置及び低速な半導体メモリとのデータ転送、交換を司る第2のバスとを含むもの、前記バススレーブとして前

(6)

9

記第1のバスに接続される半導体メモリを含むもの、前記バス調停回路として前記第1のバスの調停を司る第1のバス調停回路と、前記第2のバスの調停を司る第2のバス調停回路とを含むものを用いることが望ましい。

【0034】

【発明の実施の形態】以下、この発明にかかる高速プロセッサの基本概念を図1に基づいて説明する。

【0035】図1に示すように、このシステムは、一又は複数のバスマスター(1) (2)と、データ転送能力あるいは動作速度の異なる複数のバス(10) (11)と、前記各バスの転送能力あるいは動作速度に対応した速度で応答可能な複数のバススレーブ(20) (21)とを備えている。

【0036】前記各バススレーブ(20) (21)は、それに対応する転送能力あるいはその応答速度に対応する動作速度を有する前記いずれかのバス(10) (11)にそれぞれ接続されている。ここにいずれのバス(10) (11)もそれぞれ独立したアドレスバスおよびデータバスを有するものである。而して、前記バスマスター(1) (2)が、前記各バス(10) (11)のアドレスバスおよびデータバスに直接接続されている。ここにこの明細書において直接接続されているとは、図16に示す従来既知の階層構造的バスシステムのようにバス相互間に介在されたバス相互間インターフェースを介することなく各バスマスター(1) (2)が各バス(10) (11)に接続されていることを意味するものとする。いうまでもなくバスマスター(1) (2)とバス(10) (11)とは、従来既知のインターフェースを介して接続されるものであるが、このインターフェースは前記バス相互間インターフェースと比べて極めて構成が簡単なものである。

【0037】更に各バス(10) (11)には、それぞれ複数の前記バスマスター(1) (2)からのバスに対するアクセスを調停する図示しないバス調停回路が備えられている。もっとも、バスマスターが単一の場合には基本的にはバス調停回路は不要である。

【0038】なお、前記バスマスター(1) (2)は、上記バス調停回路に対して、バス使用要求信号を出力する機能、バス使用許可信号が得られるまで前記バスに対するアクセスを待機する機能、前記バスに対してアドレスを送出する機能およびバス調停回路の定めるバスサイクル期間内にてデータの送受を完結させる機能を有するものであって、接続された前記バス(10) (11)に対してバス毎に独立した図示しないインターフェースを備えている。

【0039】該インターフェースとしては、前記バス(10) (11)に対するアドレスの出力・非出力を制御する、バス毎に独立した複数組の3ステートバッファと、前記バス(10) (11)に対するデータの入出力および接続・非接続を制御する、バス毎に独立した複数

10

組の双方向3ステートバッファと、前記バス調停回路からのバス使用許可に基づいて前記3ステートバッファを制御する手段とを備える。

【0040】少なくとも前記いずれかのバスマスター

(1) (2)は、論理アドレスをバスマスター内部で発行する手段と、発行された論理アドレスをデコードするデコーダと、デコードされたアドレス情報に基づいて複数のバスの内の一つを選択してバス使用要求信号を出力する手段と、論理アドレスの内の必要なアドレス情報のみ

10 選択して物理アドレスを生成する手段、あるいは論理アドレスを変換して物理アドレスを生成する手段と、生成された物理アドレスをバスに対して出力する前記複数組の3ステートバッファとを備え、これにより、バス毎に独立な複数の物理アドレス空間を単一の論理アドレス空間の内的一部分に割り当てられるものとなれる。

【0041】前記バス調停回路は、前記バススレーブ

(20) (21)にアクセス可能な最速の時間とバスが動作可能である最速の時間の内のどちらか遅い方をバスサイクル時間と定め、このバスサイクル毎に必ずバス使

20 用権の判定を行い、1バスサイクル単位でのみバスマスター(1) (2)にバス(10) (11)の使用許可を与える機能を備え、前記バスマスター(1) (2)は、前記バスサイクル期間内にてデータを送受する機能を備えている。

【0042】また前記バス調停回路は、バスマスター相互の優先順位を定めたバスマスター優先順位情報を1組とする複数組みのバスマスター優先順位情報を格納する優先順位情報格納手段と、該格納手段から、前記複数組みのバスマスター優先順位情報を繰り返し単位として、1バスサイ

30 クル毎に1組づつ前記バスマスター優先順位情報を順次的に選択する優先順位情報選択手段と、該選択手段によって選択された1組の前記優先順位情報に基づいて、バス使用要求をしているバスマスターのうち当該組において最も優先順位の高いバスマスターに対して1バスサイクルだけバスの使用を許可すべくバス使用許可信号を出力するバス使用許可信号生成回路とを具備している。

【0043】ところで、前記の全ての構成要素、即ちバスマスター(1) (2)、バス(10) (11)およびバススレーブ(20) (21)を含む全ての構成要素は、

40 単一の半導体素子内に集積されている。

【0044】この発明にかかる高速プロセッサは、バスマスター(1) (2)とバススレーブ(20) (21)間のデータ転送上のボトルネックを解決するために、上述のようにデータ転送能力の異なる複数のバス(10)

(11)を備え、またこれらのバス(10) (11)にバスマスター(1) (2)が直接アクセスする手法を採用している。これにより、データ転送能力の異なるバススレーブ(20) (21)が混在することによるバスの使用効率の低下を防ぎ、効率的なバス使用を実現できる。

【0045】また、階層構造的バスシステムにみられる

(7)

11

転送能力の高いバス（10）のデータ転送幅が転送能力の低いバス（11）によって消費されるという問題も解決される。更に、バス（10）（11）間をインターフェースする装置等としては特別な回路は必要とされないため、安価にシステムを構成することが可能となる。

【0046】また、複数のバスマスター（1）（2）が同時に同一のバスを使用することを要求した場合において、バスの使用権の判定をバス毎に独立して行なうことにより、バスマスター（1）（2）は使用許可を与えられたバスのみを使用し、他のバスを占有することはない。従って、バスマスターが使用していないバス及びバスストレーブを占有する機会が減り、バスの使用効率を一層向上させることが可能となる。

【0047】バス調停回路として、バスの使用許可をバスサイクル毎に判定し、1バスサイクル単位でのみバス使用許可をバスマスターに対して与えるものとすることにより、バスサイクルは常に有効なアクセスを行うバスマスターに対して動的に割り当てられ、内部動作等のバスを使用していない期間中にバスマスターがバスを占有することが無くなる。

【0048】また、バスサイクルの速度をバス調停回路によって定めれば、バスマスターのバスサイクル速度に依存しないものとすることができます。従って、バスマスター間でバスサイクルに速度差のある場合でも、常にバスは最高速度にて動作可能である。バスマスターのバスサイクル速度が低速な場合には、例えばデータバスにリードバッファ、ライトバッファを設けたり、バス使用要求信号の出力を遅延させるといった手法にて、バスサイクルの速度差を緩衝すれば良い。

【0049】また、複数のバスが有する物理アドレス空間を、单一の論理アドレス空間内に配置することにより、全てのバスの物理アドレス空間を統一的に扱うことが可能となるばかりか、一つの処理単位としてのデータブロックを、複数のバスの物理アドレス空間に跨るよう配することで可能となり、プログラミングは容易さと自由度が高くなる。

【0050】

【実施例】先ず、本発明に係る中央演算処理プロセッサの例について説明する。

【0051】この中央演算処理プロセッサは、本発明に係る高速プロセッサを構成する複数のバスマスターの内の一つである。本中央演算処理プロセッサは第1のバス及び第2のバスの2組の共有バスに対してアクセスする機能を有する。

【0052】第1バスは、16ビットのアドレスバス、リードライト信号、8ビットのデータバスから成る共有バスであり、第1バス調停回路によって複数のバスマスターからのアクセスが調停される。これはクロック信号の1サイクルを1バスサイクルとする高速なバスであり、主に高速な半導体メモリへのアクセスや高速マルチプロ

(7)

12

セッサ内部の機能ブロック間のデータ転送に用いられる。

【0053】第2バスは、24ビットのアドレスバス、リードライト信号、8ビットのデータバスから成る共有バスであり、第2バス調停回路によって複数のバスマスターからのアクセスが調停される。これはクロック信号の2～8サイクル（但し整数）を1バスサイクルとする比較的低速なバスであり、主に低速な半導体メモリへのアクセスや高速マルチプロセッサ外部の機器とのデータ転送に用いられる。1バスサイクルのクロックサイクル数の設定は、外部メモリインターフェース回路に含まれる第2バスサイクル長制御レジスタによって制御される。

【0054】図2に中央演算処理プロセッサの要部の概略を示す。本中央演算処理プロセッサは、プロセッサコア（50）、アドレスデコーダ（51）、第1バスインターフェース制御手段（52）、第2バスインターフェース制御手段（53）、クロック制御手段（54）、2組みの3ステートバッファ（55）（60）、2組みの双方向3ステートバッファ（56）（61）、周辺機能ブロック（57）、内部アドレスバス及びリードライト信号（58）、内部データバス（59）からなる。

【0055】プロセッサコア（50）は、メモリに格納されたプログラムに従い、各種演算やシステム全体の制御を司る。クロック制御手段（54）から入力されるクロック信号によって動作し、24ビットアドレスバス、リードライト信号、8ビットデータバスをバスインターフェース信号として有する。また、自身のバスサイクルに同期したアクセス有効信号を出力し、内部動作サイクル時は該バスインターフェース信号が無効であることを

30 プロセッサコア（50）の外部に知らせる機能を有する。

【0056】ここで、プロセッサコア（50）に接続されているアドレスバス及びリードライト信号は、内部アドレスバスおよびリードライト信号（58）に、データバスは内部データバス（59）に接続されており、第1バス及び第2バスに対しては直接に接続されない。以降、この内部アドレスバスの有する空間はプログラムから見た論理アドレス空間として、第1バス及び第2バスの有する物理アドレス空間とは分けて扱われるものとする。

【0057】周辺機能ブロック（57）は、乗算回路、パレルシフタ、内部ベクトルレジスタ、割り込み要求信号のステータスレジスタを備える。また、6つの割込み要求信号の論理和をとった信号をプロセッサコア（50）への割り込み要求信号として出力する機能を有する。

【0058】アドレスデコーダ（51）は、論理アドレス信号のデコードを行い、デコードされたアドレス情報と、アクセス有効信号と、図示しない外部メモリインターフェース回路より送出されるメモリマップモード制御

(8)

13

信号から、アクセスが第1バス、第2バス、周辺機能ブロック（57）のいずれの領域に該当するかを判別する。アクセスが第1バス領域に該当する場合は、第1バスインターフェース制御手段（52）に対し第1バス領域選択信号を、アクセスが第2バス領域に該当する場合は、第2バスインターフェース制御手段（53）に対し第2バス領域選択信号を送出する。アクセスが内部の周辺機能ブロック領域に該当する場合及びアクセスが有効でない場合、第1バス及び第2バス領域選択信号は送出されず、本中央演算処理プロセッサは外部機能ブロックに対しアクセスを行わない。

【0059】第1バスインターフェース制御手段（52）は、アドレスデコーダ（51）より受領した第1バス領域選択信号から第1バス使用要求信号を生成し、これを第1バス調停回路に送出する。第1バス使用要求信号は、第1バス調停回路からの第1バス使用許可信号を受領するまでの期間送出される。第1バス使用許可信号は、第1バスの1バスサイクル期間即ち1クロックサイクル期間のみ出力され、第1バスインターフェース制御手段（52）は、この期間中のみ3ステートバッファ（60）に対する出力許可、及び双方向3ステートバッファ（61）に対する入出力許可を行う。

【0060】第2バスインターフェース制御手段（53）は、アドレスデコーダより受領した第2バス領域選択信号から第2バス使用要求信号を生成し、これを第2バス調停回路に送出する。第2バス使用要求信号は、第2バス調停回路からの第2バス使用許可信号を受領するまでの期間送出される。第2バスの使用は、第2バス使用許可信号を受領してから第2バスサイクル終了信号を受領するまでの期間許可されるので、第2バスインターフェース制御手段（53）は、この期間中のみ3ステートバッファ（55）に対する出力許可、及び双方向3ステートバッファ（56）に対する入出力許可を行う。

【0061】クロック制御手段（54）は、第1バスインターフェース制御手段（52）及び第2バスインターフェース制御手段（53）から送出されるプロセッサウェイト制御信号に従い、プロセッサコア（50）に供給するクロックを停止し、プロセッサコア（50）をウェイト状態にする。

【0062】3ステートバッファ（60）は第1バスインターフェース制御手段（52）から送信される制御信号に従って、内部アドレスの下位16ビットとリードライト信号の第1バスに対する出力の制御を行う。即ちこの3ステートバッファ（60）は17本の信号線の制御を行うものである。

【0063】3ステートバッファ（55）は第2バスインターフェース制御手段（53）から送信される制御信号に従って、内部アドレス24ビットとリードライト信号の第2バスに対する出力の制御を行う。即ちこの3ステートバッファ（55）は25本の信号線の制御を行うも

(8)

14

のである。

【0064】双方向3ステートバッファ（61）は、第1バスインターフェース制御手段（52）から送信される制御信号に従って、内部データバス（59）から第1データバスに対する出力と第1データバスから内部データバス（59）に対する入力を制御する。即ちこの双方向3ステートバッファ（61）は8本の信号線の制御を行うものである。

【0065】双方向3ステートバッファ（56）は、第2バスインターフェース制御手段（53）から送信される制御信号に従って、内部データバス（59）から第2データバスに対する出力と第2データバスから内部データバス（59）に対する入力を制御する。即ちこの双方向3ステートバッファ（56）は8本の信号線の制御を行うものである。

【0066】以下に本中央演算処理プロセッサのアドレス空間について説明する。以降16進数の表現に関しては、これを10進数と区別するために数字の末尾に「h」を付けて表記する。

【0067】本中央演算処理プロセッサのプロセッサコア（50）は24ビットのアドレス信号即ち16メガバイトのアドレス空間を有する。これは、該プロセッサコア（50）で実行されるプログラムから見た論理アドレス空間である。

【0068】第1バスは16ビットのアドレス信号即ち64キロバイトの物理アドレス空間を有する。

【0069】第2バスは24ビットのアドレス即ち16メガバイトの物理アドレス空間を有する。第2バスのアドレス空間は大きく2つの領域に分けられ、それぞれに異なるバスサイクル長を設定されることが可能である。ここではこれらの二つの領域を第2バス領域A及び第2バス領域Bという。

【0070】本中央演算処理プロセッサにおいては、プロセッサコア（50）の論理アドレス空間内に複数の物理アドレス空間が配置され、プロセッサコア（50）がアクセスを行う度にこれらの物理アドレス空間の内の一つが選択され使用される。選択されなかったバスについては、プロセッサコア（50）はそれらを占有せず、他のバスマスターが利用可能な開放状態にある。

【0071】本中央演算処理プロセッサには図3及び図4に示されるように2種類の異なるメモリマップのモードが用意されている。ここではこれらをメモリマップモード1及びメモリマップモード2と呼ぶ。これらのモードは、図示しない外部メモリインターフェース回路に含まれるメモリマップモード切替制御レジスタによって切り替えられる。

【0072】メモリマップモード切替制御レジスタは第1バスに接続され、本中央演算処理プロセッサを含む第1バスのバスマスターから読み書きが可能である。このようになされることにより、本中央演算処理プロセッサの

(9)

15

みならず他のバスマスターがこのメモリマップモードを制御可能となり、このメモリマップモードを共有できる。

【0073】プロセッサコア（50）の発行する24ビットのアドレスは上位8ビットと下位16ビットに大きく分かれ、上位8ビットのアドレスはバンクアドレスと呼ばれる働きをする。即ち16メガバイトの論理アドレス空間は256個の64キロバイトのバンクと呼ばれる単位空間に分けられており、例を挙げると00hバンクのFFFh番地と01hバンクの000h番地は連続していない。したがって図3及び図4に示すメモリマップは、これを明確に表すためにバンク毎に並列に表記したものとしている。

【0074】メモリマップモード1について説明する。

【0075】周辺機能ブロック（57）は論理アドレスの下位16ビットが00FEh、00FFh、7FF0h～7FFFhを示す空間に配置される。第1バスの物理アドレスが0000h～7FEFh（00FEh、00FFhを除く）を示す空間は、論理アドレスの下位16ビットが0000h～7FEFh（00FEh、00FFhを除く）を示す空間に配置される。第1バスの物理アドレスが00FEh、00FFh、7FF0～FFFhを示す空間は本中央演算プロセッサからはアクセス不可である。

【0076】メモリマップモード1においては、周辺機能ブロック領域及び第1バス領域は00h～FFFhの全てのバンクに同一のイメージが配置される。例を挙げると、論理アドレス空間の000000hに対するアクセスと010000hに対するアクセスは共に第1バスの物理アドレス空間の0000hへのアクセスとなる。

【0077】第2バスの物理アドレスが008000h～00FFFFhからFF8000h～FFFhを示す空間は、論理アドレスが008000h～00FFFhからFF8000h～FFFhを示す空間に配置される。ここで論理アドレスが008000h～00FFFFhから7F8000h～7FFFhを示す空間は第2バス領域Aとなり、論理アドレス空間が808000h～80FFFFhからFF8000h～FFFhを示す空間は第2バス領域Bとなる。メモリマップモード1においては、第2バスの物理アドレスが000000h～007FFFhからFF0000h～FFFhを示す空間は本中央演算処理プロセッサからはアクセス不可である。

【0078】メモリマップモード2について説明する。

【0079】周辺機能ブロックは論理アドレス空間中のバンクアドレスが00h～7Fhを示し、かつ下位16ビットアドレスが00FEh、00FFh、7FF0h～7FFFhを示す空間に配置される。

【0080】第1バスの物理アドレスが0000h～7FEFh（00FEh、00FFhを除く）を示す空間は論理アドレス空間のバンクアドレス00h～7Fhを

16

示し、かつ下位16ビットアドレスが0000h～7FFFh（00FEh、00FFhを除く）を示す空間に配置される。メモリマップモード1と同様、第1バスの物理アドレスが00FEh、00FFh、7FF0～FFFhを示す空間は本中央演算プロセッサからはアクセス不可である。

【0081】第2バスの物理アドレスが008000h～00FFFFhから7F8000h～7FFFhを示す空間は、論理アドレスが008000h～00FFFhから7F8000h～7FFFhを示す空間に、第2バスの物理アドレスが800000h～80FFFFhからFF0000h～FFFhを示す空間は、論理アドレスが800000h～80FFFFhからFF0000h～FFFhを示す空間に配置される。ここで論理アドレスが008000h～00FFFhから3F8000h～3FFFhを示す空間及び800000h～80FFFFhからBF0000h～BFFFhを示す空間は、第2バス領域Aとなり、論理アドレスが408000h～40FFFFhから7F8000h～7FFFhを示す空間及びC00000h～C0FFFFhからFF0000h～FFFhを示す空間は、第2バス領域Bとなる。メモリマップモード2においては、第2バスの物理アドレスが000000h～007FFFhから3F0000h～3FFFhを示す空間は本中央演算処理プロセッサからはアクセス不可である。

【0082】上記の様に第1バスの約32キロバイトの物理アドレス空間と第2バスの8メガバイト（モード1）もしくは12メガバイト（モード2）の物理アドレス空間がプロセッサコアの16メガバイトの論理アドレス空間に配置され、プログラム上で統一的かつ連続的に扱われることが可能となる。

【0083】また、論理アドレスの値によって、アクセスの度に周辺機能ブロック、第1バス、第2バスを選択的に使用するので、本中央演算処理プロセッサが第1バス及び第2バスを同時に占有することなく、本中央演算処理プロセッサが一方のバスを使用している期間においても、他のバスマスターは他方のバスを使用可能である。

【0084】以下に本中央演算処理プロセッサからの第1バス及び第2バスに対するアクセスの例を示す。

【0085】図5に本中央演算処理プロセッサの第1バスに対するアクセスのタイミングチャートの例を示す。

【0086】第1バスの1バスサイクル期間はクロック信号の1サイクル期間に相当し、第1バス調停回路によってバスサイクル毎に、本中央演算処理プロセッサを含む複数のバスマスターからのアクセスが調停される。

【0087】これに対し、本中央演算処理プロセッサのプロセッサコア（50）の1バスサイクル期間は、ウェイタ状態無しで動作する場合においてもクロック信号の

(10)

17

3サイクルに相当し、第1バスのバスサイクル期間より長い。バスマスターに与えられる第1バスの使用許可期間は1バスサイクル即ち1クロックサイクルであり、低速な本中央演算処理プロセッサがアクセスを行うためには、図5に示した前述の機能と、以下に示すタイミング制御が必要である。

【0088】本中央演算処理プロセッサのプロセッサコアは、これに供給されるクロック信号の立ち下がりを基準として動作を行う。即ち一つの立ち下がり時点から次の立ち下がり時点までがプロセッサコアの1動作サイクルとなり、プロセッサコアの1バスサイクルもこれに同じである。

【0089】プロセッサコアへのクロック信号の立ち下がりを基準として、プロセッサコアより論理アドレスが送出され、アドレスデコーダはこの論理アドレスとアクセス有効信号とメモリマップモード情報よりアクセスが第1バス領域に該当するか否かを判定する。アクセスが第1バス領域に該当する場合、アドレスデコーダは第1バス領域選択信号を第1バスインターフェース制御手段に送出し、第1バスインターフェース制御手段はこの信号を基に第1バス使用要求信号を生成し、これを第1バス調停回路に送出する。

【0090】第1バス調停回路は、各バスマスターからの第1バス使用要求信号を受け付け、第1バスのバスサイクル毎にバス使用許可を与えるバスマスターを決定し、そのバスマスターに対し第1バス使用許可信号を送出する。この際に同時に2つ以上のバスマスターに第1バスの使用が許可されることはない。

【0091】第1バス使用許可信号は1バスサイクル単位でのみ発行され、夫々のバスマスターは第1バス使用許可信号を受け取ったバスサイクルのみ第1バスの使用を許可される。

【0092】クロック制御手段は、本中央演算処理プロセッサが第1バス使用許可信号を受け取るまでの期間、プロセッサコアに供給するクロックをハイレベルのまま停止させ、ウェイト状態にする。本中央演算処理プロセッサが第1バス使用許可信号を受け取ると、クロックをロウレベルに落としプロセッサコアにバスサイクルを終了させ、ウェイト状態を解除する。

【0093】本中央演算処理プロセッサは、第1バスの使用を許可されている期間、第1アドレスバス及びリードライト信号に対し、内部アドレスバスの一部及びリードライト信号を送出する。ここで、リードライト信号のロウレベルはデータのライトを示し、ハイレベルはデータのリードを示す。

【0094】本中央演算処理プロセッサが第1バスに対してデータのリードを行う際は、第1バスの使用を許可されているバスサイクルにて、内部データバス信号を第1データバスに対して出力する。但し第1データバス上でのデータの衝突を防ぐために、クロック信号がロウレ

18

ベルの期間は出力しない。

【0095】本中央演算処理プロセッサが第1バスに対してデータのライトを行う際は、第1バスの使用を許可されているバスサイクルにて、第1データバス信号を内部データバスに入力する。プロセッサコアへのクロック信号の立ち下がりを基準として、プロセッサコア(50)はデータを取得する。

【0096】図6に本中央演算処理プロセッサの第2バスに対するアクセスのタイミングチャートの例を示す。

10 【0097】第2バスの1バスサイクル期間はクロック信号の2~8サイクル期間に相当し、バスサイクル毎に第2バス調停回路によって本中央演算処理プロセッサを含む複数のバスマスターからのアクセスが調停される。

【0098】第2バスの1バスサイクル期間長は、図示しない外部メモリインターフェース回路に含まれる第2バスサイクル長制御レジスタによって定められる。第2バスサイクル長制御レジスタは第1バスに接続され、中央演算処理プロセッサ等のバスマスターから読み書きが可能である。また第2バスの領域は第2バス領域Aと第2

20 バス領域Bの二つの領域に分けられ、それぞれに異なるバスサイクル長制御レジスタが設けられ、異なるバスサイクル長を設定されることが可能である。但し図6に示す例においては説明を簡単にするために、1バスサイクル期間がクロック信号の4サイクルに設定された領域へのアクセスに限定している。

【0099】プロセッサコアへのクロック信号の立ち下がりを基準として、プロセッサコアより論理アドレスが送出され、アドレスデコーダはこの論理アドレスとアクセス有効信号とメモリマップモード情報よりアクセスが

30 第2バス領域に該当するか否かを判定する。アクセスが第2バス領域に該当する場合、アドレスデコーダは第2バス領域選択信号を第2バスインターフェース制御手段に送出し、第2バスインターフェース制御手段はこの信号を基に第2バス使用要求信号を生成し、これを第2バス調停回路に送出する。

【0100】第2バス調停回路は、各バスマスターからの第2バス使用要求信号を受け付け、第2バスのバスサイクル毎にバス使用許可を与えるバスマスターを決定し、そのバスマスターに対し第2バス使用許可信号を送出する。

40 第1バスの場合と同様、同時に2つ以上のバスマスターに第2バスの使用が許可されることはない。

【0101】第2バス使用許可信号は1バスサイクル単位でのみ発行され、バスマスターは第2バス使用許可信号を受け取って後、第2バスサイクル終了信号を受け取るまでの期間、第2バスの使用を許可される。この期間は第2バスサイクル長制御レジスタにて設定されるバスサイクル長に等しい。この例においては、1バスサイクルはクロック信号の4サイクルに相当する。

【0102】本中央演算処理プロセッサは、第2バスの使用を許可されている期間、第2アドレスバス及びリードライト信号に対し、内部アドレスバスの一部及びリードライト信号を送出する。

(11)

19

ライト信号に対し、内部アドレスバス及びリードライト信号を送出する。ここで、リードライト信号のロウレベルはデータのライトを示し、ハイレベルはデータのリードを示す。

【0103】外部メモリインターフェース回路は、バスマスタより発行された第2アドレスバスのアドレス信号をデコードし、デコードされたアドレス情報とメモリマップモード情報から、アクセスが第2バス領域Aと第2バス領域Bのいずれの領域に該当するかを判別し、夫々の領域に対応する第2バスサイクル長制御レジスタの値より、第2バスサイクル終了信号を生成し、第2バスの全バスマスタ及び第2バス調停回路に対して送出する。

【0104】クロック制御手段は、本中央演算処理プロセッサが第2バス使用許可信号を受け取り、第2バスサイクル終了信号を受け取るまでの期間、プロセッサコアに供給するクロックをハイレベルのまま停止させウェイト状態にする。本中央演算処理プロセッサが第2バスサイクル終了信号を受け取るとクロックをロウレベルに落とし、プロセッサコアにバスサイクルを終了させ、ウェイト状態を解除する。

【0105】本中央演算処理プロセッサが第2バスに対してデータのライトを行う際は、第2バスの使用を許可されているバスサイクルにて、内部データバス信号を第2データバスに対して出力する。但し第2データバス上でのデータの衝突を防ぐために、バスサイクルの先頭にあたるクロックサイクルにおいては、クロック信号がロウレベルの期間はデータを出力しない。

【0106】本中央演算処理プロセッサが第2バスに対してデータのリードを行う際は、第2バスの使用を許可されているバスサイクルにて、第2データバス信号を内部データバスに入力する。プロセッサコアへのクロック信号の立ち下がりを基準として、プロセッサコアはデータを取得する。

【0107】以下に第1バス調停回路及び第2バス調停回路の例を挙げ、バス調停のシステムについて説明する。第1バス調停回路の構成を図7に示す一方、第2バス調停回路の構成を図12に示す。

【0108】図7に示す第1バス調停回路は、図示しない4つの通常のバスマスターA、B、C、Dと1つの特権的なバスマスターS（以下、特権バスマスターSという）の計5つのバスマスターからの第1バスに対するアクセスの調停を司るものである。この第1バス調停回路は、1つの特権バスマスターSからの第1バスの使用要求に対しては必ず次の1バスサイクルにおいて当該第1バスの使用許可を与えるものとしている。一方、他の4つの通常のバスマスターA、B、C、Dからの第1バスの使用要求に対しては優先順位情報に従って最も優先順位の高いバスマスターに対してのみ次の1バスサイクルにおいて使用許可を与えるように調停を行うものである。ここに特権バスマスターSとしてはDRAMリフレッシュ制御回路等が

20

想定される一方、通常のバスマスターとしては前記の中央演算処理プロセッサ等が想定される。

【0109】この第1バス調停回路においては、第1のアドレスバス及びリードライト信号、第1のデータバスからなる第1バスの調停を司り、内蔵するレジスタへは第1バスからアクセスされるものとなされている。バスサイクルはクロック信号の1サイクルに相当し、バスサイクル毎に調停が行われる。

【0110】上記第1バス調停回路は、図7に示すように、16個の固定優先順位情報格納手段（101～116）、16個のプログラマブル優先順位情報格納手段（レジスタ）（101'～116'）、アドレスデコーダ（117）、固定／プログラマブル切替制御レジスタ（118）、バスサイクルカウンタ（119）、優先順位情報選択手段（セレクタ）（120）、使用許可信号生成手段（121）、データセレクタ（122）、3ステートバッファ（123、124）および代替アドレス発生手段（125）を備えている。

【0111】前記アドレスデコーダ（117）は、第1のアドレスバス及びリードライト信号のデコードを行い、各プログラマブル優先順位情報レジスタ（101'～116'）の選択信号、データセレクタ（122）の制御信号、3ステートバッファ（123）の制御信号を生成するものである。

【0112】前記固定／プログラマブル切替制御レジスタ（118）は、固定優先順位情報格納手段（101～116）とプログラマブル優先順位情報レジスタ（101'～116'）を切り換えて、固定優先順位情報又はプログラマブル優先順位情報のいずれかを選択するものである。

【0113】前記各プログラマブル優先順位情報レジスタ（101'～116'）は、各1組のプログラマブルな優先順位情報を格納するレジスタであり、第1バスにアクセスするプロセッサ等のバスマスターがこれらの情報を書き換えることできるようになされている。

【0114】前記各固定優先順位情報格納手段（101～116）は、各1組の固定優先順位情報を格納する手段であり、ワイヤードロジックにより構成されている。この情報は書き換え不能である。この例においては、これらの優先順位情報の値の大きさは2ビットであり、4つの優先順位の組み合わせを表わす。但し、この値の大きさは2ビットでなくとも良い。調停対象となるバスマスターの数、優先順位の組み合わせの数、回路規模を考慮し最適な値が用いられるべきである。

【0115】また、この例においては、固定優先順位情報格納手段（101～116）及びプログラマブル優先順位情報レジスタ（101'～116'）の数はともに16個であり、16バスサイクルを繰り返しの単位として調停が行われる。但し、この数は16でなくとも良い。調停対象となるバスマスターの数、及び各バスマスターへのバスサイクルの配分比率、回路規模を考慮し最適な値が用いられるべきである。

(12)

21

【0116】前記バスサイクルカウンタ（119）は、第1バスのバスサイクル数をカウントし、16バスサイクルを繰り返し単位とする現在値を指示する。カウントの最大値は優先順位情報の組数と等しく設定されるべきである。

【0117】前記セレクタ（120）は、上記バスサイクルカウンタ（119）が指示するバスサイクルの現在値の情報から、16組の優先順位情報のうちの1組を選択する。前記使用許可信号生成手段（121）は、バスマスターA、バスマスターB、バスマスターC、バスマスターDの4つの通常のバスマスターと、1つの特権バスマスターSからの第1バスの使用要求信号を受け付け、前記セレクタ（120）により選択された優先順位情報から最も優先順位の高いバスマスターに対して第1バスの使用許可信号を生成し、これを当該バスマスターに対して発行する。

【0118】ここで特権バスマスターSからの第1バス使用要求信号を受け付けた場合、他のバスマスターA、B、C、Dからの第1バス使用要求信号やこれらバスマスターA、B、C、Dの優先順位情報に拘わらず、無条件で次の1バスサイクルの使用許可が特権バスマスターSに与えられる。但し、この発明においてはアクセス対象となるバスマスターの数や特権バスマスターの有無はこの実施の態様に限定されるものではない。

【0119】前記データセレクタ（122）は、プロセッサ等のバスマスターより第1バスを介して各レジスタ（118, 101'～116'）の値の読み出しが行われる際に、アドレスデコーダ（117）にて生成された制御信号にしたがって、読み出すデータの選択を行うものである。

【0120】前記3ステートバッファ（123）は、アドレスデコーダ（117）にて生成された制御信号によって、データセレクタ（122）より送られるレジスタの値を第1のデータバスに出力するか否かを制御するものである。

【0121】もう一方の前記3ステートバッファ（124）は、バスマスターからのバス使用要求信号が全く無い場合に、前記代替アドレス発生手段（125）から発せられる代替アドレスを第1のアドレスバス及びリードライト信号に出力するように作用する。

【0122】次に、上述した第1バス調停回路の調停例を説明する。以下に示す調停例においては、説明を簡潔にする目的で、バスマスターAおよびバスマスターBのみからバス使用要求信号が発行され、バスマスターCおよびバスマスターDからはバス使用要求信号が発行されないものとしている。即ち調停の対象をバスマスターAおよびバスマスターBの2つに限定している。

【0123】第1バスの1バスサイクルはクロック信号の1サイクルに相当する。バスサイクルカウンタ（119）はバスサイクル毎に値をインクリメントし、0から15までの値を周期的にカウントする。そして1バスサイクル毎に、バスサイクルカウンタ（119）の値に1対1で対

22

応する優先順位情報格納手段（101, 101'～116, 116'）のいずれかが選択され、選択された格納手段に格納されていた優先順位情報が取り出される。この例においては、優先順位情報は2ビットの大きさを持つもので、0、1、2、3の4つの値のうちのいずれか1を示す。

【0124】バスサイクルカウンタの値に対応する上記優先順位情報の値の設定例を、図8に示す。この優先順位情報の設定は、固定の優先順位情報およびプログラマブルな優先順位情報のいずれの場合にも適用可能である。また優先順位情報の値0、1、2、3とこれに対応するバスマスターA、B、C、Dの優先順位の序列の設定例を図8に示す。

【0125】図10に調停例その1を示し、図11に調停例その2を示す。図10に示す調停例その1および図11に示す調停例その2は、互いに一部異なる設計方式によるものである。両者の相違点は、バスマスターがバスの使用許可を得た際に、即座に自らの発行するバスの使用要求信号にそれを反映可能であるか否か、という点にある。

【0126】図10に示す調停例その1を実現する設計方式においては、バスマスターはバスの使用許可を得たサイクル内で、即座にバスの使用要求信号にそれを反映させることができるのであるため、同一のバスマスターが連続してバス使用要求信号を行うことが許されている。

【0127】一方、図11に示す調停例その2を実現する設計方式においては、バスマスターはバスの使用許可を得たサイクル内では、バスの使用要求信号にそれを反映させることができないので、バス調停回路はバスの使用許可を与えたサイクルでは、使用許可を与えたバスマスターからの使用要求は無視している。従って、調停例その2の設計方式においては、同一のバスマスターが連続してバスの使用権を得ることはできない。しかしながら、調停例その1の設計方式に比べて設計が容易であり、特に高速での調停が必要とされる場合には有効な設計手法である。

【0128】以下に第1バス調停例その1およびその2に共通の点を先ず説明する。

【0129】いずれのバスマスターもバス使用要求信号を発行していない場合には、バス調停回路はいずれのバスマスターにもバス使用許可信号を発行しない。例えば最初のバスサイクル(701, 801)においては、バスマスターA、バスマスターBのいずれもバス使用要求信号を発行していないので、バス調停回路はいずれのバスマスターに対しても次のバスサイクル(702, 802)ではバスの使用を許可しない。

【0130】いずれか一方のバスマスターのみがバス使用要求信号を発行している場合には、バス調停回路はそのバスマスターに対してバス使用要求信号を発行する。例えば第2番目のバスサイクル(702, 802)においてはバスマスターAのみがバス使用要求信号を発行しているので、次

(13)

23

のバスサイクル(703, 803)においてバスマスターAに使用許可されている。

【0131】2つ以上のバスマスターが同時にバス使用要求信号を発行している場合には、バス調停回路は優先順位情報の表す優先順位序列に従って優先順位の高い方のバスマスターを選択し、該バスマスターに対してバス使用許可信号を発行する。例えば第6番目のバスサイクル(706, 806)においては、バスマスターAとバスマスターBが同時にバス使用要求信号を発行しており、バスマスターBがバスマスターAより高い優先順位を設定されているので、次のバスサイクル(707, 807)ではバスマスターBが使用許可されている。

【0132】次に前記両調停例の相違点を説明する。

【0133】調停例その1においては、あるバスマスターがバスの使用許可を得たサイクルにおいて使用要求信号の発行を終了した場合であって、当該サイクルにおいて別のバスマスターが使用要求信号を発行している場合には、当該別のバスマスターのみが使用要求していることとなる。従って、当該別のバスマスターAが次の1バスサイクルにおいてバスの使用許可を得る。例えば、図10に示すようにバスマスターAがバスの使用許可を得た第3番のバスサイクル(703)において使用要求信号の発行を終了しており、当該バスサイクル(703)においてバスマスターBが使用要求信号を発行しているので、バスマスターBのみが使用要求していることとなり、次の1バスサイクル(704)ではバスマスターBが使用許可されている。

【0134】これに対し調停例その2では、あるバスマスターがバスの使用許可を得たバスサイクルにおいて使用要求信号の発行を終了していない場合であって、当該バスサイクルにおいて別のバスマスターが使用要求信号を発行している場合には、使用許可を得ているバスマスターからの使用要求を無視して、当該別のバスマスターからの使用要求のみを受け付ける。従って、当該別のバスマスターが次の1バスサイクルにおいてバスの使用許可を得る。例えば、バスマスターAがバスの使用許可を得た第3番のバスサイクル(803)において使用要求信号の発行を終していないが、当該バスサイクル(803)においてバスマスターBが使用要求信号を発行している場合には、このバスサイクル(803)ではバスマスターAの使用要求を無視して、バスマスターBからの使用要求のみを受け付ける。従って、次の1バスサイクル(804)ではバスマスターBが使用許可されている。

【0135】また調停例その1では、同一のバスマスターが連続してバス使用要求を行った場合(707, 708)、同一のバスマスターに対して連続して2バスサイクル以上の使用許可を与えることが可能である。例えばバスマスターAは第7および第8番目のバスサイクル(707, 708)において連続してバスの使用要求をしており、連続して次の2バスサイクル(708, 709)において使用許可されている。

【0136】これに対して調停例その2では、バスマス

24

タに使用許可を与えたバスサイクル(808)においては、そのバスマスターからの使用要求信号を無視するので、同一のバスマスターに対し、連続した2バスサイクル以上の使用許可を与えることはできない。例えばバスマスターAは第8番目のバスサイクル(808)において使用許可されているので、当該バスサイクル(808)における使用要求信号は無視され、次のバスサイクル(809)では使用許可されていない。

【0137】次に第2バスに対する複数のバスマスターからのアクセスを調停する第2バス調停回路について説明する。この調停回路は、4つのバスマスターの調停を司るものであり、第2のアドレスバス及びリードライト信号、第2のデータバスからなる第2バスの調停を司り、内蔵するレジスタへは第1のバスからアクセスされる。バスサイクルはクロック信号の2~8サイクル(但し整数のみ)に相当し、バスサイクル毎に調停を行なう。

【0138】図12に第2バス調停回路の要部の概略を示す。

【0139】この第2バス調停回路は、アドレスデコーダ(217)、固定/プログラマブル切替制御レジスタ(218)、8個の固定優先順位情報格納手段(201~208)、8個のプログラマブル優先順位情報レジスタ(201'~208')、バスサイクルカウンタ(219)、セレクタ(220)、使用許可信号生成手段(221)、データセレクタ(222)、3ステートバッファ(223, 224)、代替アドレス発生手段(225)からなる。

【0140】以下、第1バス調停回路との相違点を示す。

【0141】第2バス調停回路では第2バスに対する各バスマスターのアクセスの調停を目的としているので、使用許可信号生成手段(221)は、各バスマスターからは第2バス使用要求信号を受け付け、各バスマスターに対し第2バスの使用許可信号を発行する。また、調停の対象となるバスマスターはバスマスターA、バスマスターB、バスマスターC、バスマスターDの4つである。これらのバスマスターとしては、前述の中央演算処理プロセッサ等が想定される。

【0142】固定優先順位情報格納手段(201~208)およびプログラマブル優先順位情報レジスタ(201'~208')共に、その数は8個である。これに伴い、アドレスデコーダ(217)、バスサイクルカウンタ(219)、セレクタ(220)、データセレクタ(222)の回路規模も第1バス調停回路と比べて小さいものとなる。

【0143】但し、固定優先順位情報格納手段(201~208)およびプログラマブル優先順位情報レジスタ(201'~208')の数は8個でなくとも良い。調停対象となるバスマスターの数、及び各バスマスターへのバスサイクルの配分比率、回路規模を考慮し最適な値が用いられるべきである。

【0144】3ステートバッファ(224)は、バスマス

(14)

25

タA、B、C、Dからの要求信号が全く無い場合に、代替アドレス発生手段(225)から発せられる代替アドレスを第2のアドレスバス及びリードライト信号に出力する。

【0145】図13に第2バス調停例を示す。この調停例においても、説明を簡潔にするために、バスマスターCおよびバスマスターDからはバス使用要求信号が発行されないものとし、調停の対象をバスマスターAおよびバスマスターBの2つに限定している。

【0146】前述の様に、第2バスは大きく2つの領域を持ち、それぞれに異なったバスサイクルを設定することが可能である。この例ではバスマスターAがアクセスする領域の1バスサイクルはクロック信号の4サイクル、バスマスターBがアクセスする領域の1バスサイクルはクロック信号の2サイクルに相当する。

【0147】但し、いずれのバスマスターもバスを使用していない期間は、1バスサイクルはクロック信号の1サイクルに相当する。

【0148】バス使用許可信号は、バスの使用を許可するバスマスターに対し、1バスサイクルの最初のクロック信号の1サイクル期間のみハイレベルを示す。バス使用許可信号を受領したバスマスターは、このバスサイクルが終了するまでの期間のバス使用を許可される。

【0149】バスサイクル終了信号は、1バスサイクルの最後のクロック信号の1サイクル期間のみハイレベルを示し、これ以外の期間はロウレベルを示す。いずれのバスマスターもバスを使用していない期間はハイレベルを出力される。この信号は、全てのバスマスターに対して共通の信号である。

【0150】バスサイクルカウンタ(219)は、バスサイクル毎に値をインクリメントし、0から7の値を周期的にカウントする。

【0151】バスサイクル毎に、バスサイクルカウンタ(219)の値に1対1で対応する優先順位情報の値が選択される。この例においては、優先順位情報は2ビットの大きさを持ち、0~3の4つの値のうちのいずれかを示す。

【0152】この例における優先順位情報の内容は、図14に示されている。ここでは、これが固定の優先順位情報であるか、プログラマブルな優先順位情報であるかは特に規定されていないが、どちらの場合にも適用可能である。

【0153】優先順位情報の値は、これに対応するバスマスターの優先順位の序列を表す。ここでも第1バスの調停例と同様の図8に示す設定例が用いられている。

【0154】いずれのバスマスターも第2バス使用要求信号を発行していない場合には、第2バス調停回路はいずれのバスマスターにもバス使用許可信号を発行しない。例えば最初のバスサイクル(901)においては、バスマスターA、バスマスターBのいずれもバス使用要求信号を発行し

26

ていないので、バス調停回路はいずれのバスマスターに対しても次のバスサイクル(902)ではバスの使用を許可しない。

【0155】いずれか一方のバスマスターのみがバス使用要求信号を発行している場合には、バス調停回路はそのバスマスターに対してバス使用要求信号を受け付けた次のサイクルでバス使用許可信号を発行し、バスサイクル終了信号を発行するまで当該バスサイクルの使用許可を与える。例えば第2番目のバスサイクル(902)においては

10 バスマスターAのみがバス使用要求信号を発行しており、次のバスサイクル(903)の途中においてバス使用終了信号が発行されているので、当該バスサイクル(903)の全ての期間においてバスマスターAに使用許可されている。

【0156】2つ以上のバスマスターが同時にバス使用要求信号を発行している場合には、バス調停回路は優先順位情報の表す優先順位序列に従って優先順位の高い方のバスマスターを選択し、該バスマスターに対してバス使用許可信号を発行する。例えば第6番目のバスサイクル(906)においては、バスマスターAとバスマスターBが同時にバス使用要求信号を発行しており、バスマスターBがバスマスターAより高い優先順位を設定されているので、次のバスサイクル(907)ではバスマスターBが使用許可されている。

【0157】この例においては、バスマスターはバス使用許可信号をクロック信号の立ち下がりで検知し、その結果を自らの発行するバス使用要求信号に反映している。この例においては、バスマスターに与えられる最短のバスサイクルがクロック信号の2サイクルに相当するため、バスマスターはバスサイクルの終了までに前記動作を30 完了可能である。従って、同一のバスマスターが連続してバス使用要求を行うことが許されている。

【0158】あるバスマスターが使用を許可されているバスサイクル(908)の終了時に、同じバスマスターがバス使用要求信号を発行している場合、バス調停回路は同じバスマスターに対し、次のバスサイクル(909)の使用許可を再び与える。

【0159】以下、本発明に係る高速マルチプロセッサについて説明する。

【0160】図15に高速マルチプロセッサの要部の概略を示す。本実施例にかかるこの高速マルチプロセッサは、1つの中央演算処理プロセッサ(バスマスター)(1301)、1つのグラフィック処理プロセッサ(バスマスター)(1302)、1つのサウンド処理プロセッサ(バスマスター)(1303)、1つのダイレクトメモリ転送(DMA)制御プロセッサ(バスマスター)(1304)、内部メモリ(バススレーブ)(1305)、第1バス調停回路(1306)、第2バス調停回路(1307)、入出力制御回路(バススレーブ)(1308)、タイマ回路(バススレーブ)(1309)、アナログ/デジタル(A/D)コンバータ(バススレーブ)(1310)、PLL回路((1311)、ク

(15)

27

ロックドライバ (1312)、低電圧検出回路 (1313)、外部メモリインターフェース回路 (1314) を有し、必要に応じてDRAMリフレッシュ制御回路 (バスマスター) (1315) を有する。

【0161】また、第1のアドレスバス及びリードライト信号 (1316) と第1のデータバス (1317) が高速な第1バスを構成し、第2のアドレスバス及び第2のリードライト信号 (1318) と第2のデータバス (1319) が低速な第2バスを構成している。

【0162】第2のアドレスバス及びリードライト信号 (1318) は外部アドレスバス及びリードライト信号 (1320) に、第2のデータバス (1319) は外部データバス (1321) に、それぞれ外部メモリインターフェース回路 (1314) を通じて接続されている。

【0163】本マルチプロセッサの外部には、1つ以上の外部リードオンリーメモリ (ROM) (バススレーブ) (1322)、必要に応じて1つ以上の外部ランダムアクセスメモリ (RAM) (バススレーブ) (1323)、水晶振動子 (1324) により構成される発振回路、及び必要に応じてスタティックメモリ (SRAM) のデータ保持のためのバッテリ (1325) が必要とされる。

【0164】本マルチプロセッサが備える中央演算処理プロセッサ (1301) は、前記中央演算処理プロセッサがそのまま用いられている。

【0165】本マルチプロセッサが備える第1バス調停回路 (1306) と第2バス調停回路 (1307) は、前記第1及び第2調停回路がそのまま用いられている。

【0166】図15中に示される第1バス調停信号は、第1バス使用要求信号、第1バスの使用許可信号からなり、第2バス調停信号は、第2バス使用要求信号、第2バス使用許可信号、第2バスのバスサイクル終了信号からなる。

【0167】ここで、バスマスターA、バスマスターB、バスマスターC、バスマスターDは、夫々サウンド処理プロセッサ (1303)、グラフィック処理プロセッサ (1302)、DMA制御プロセッサ (1304)、中央演算処理プロセッサ (1301) に相当し、特権バスマスターはDRAMリフレッシュ制御回路 (1315) に相当する。

【0168】本マルチプロセッサを構成する各部の機能について説明する。

【0169】中央演算処理プロセッサ (1301) は、メモリに格納されたプログラムに従い、各種演算やシステム全体の制御を行う。

【0170】グラフィック処理プロセッサ (1302) は、グラフィックデータの合成、カラーテレビジョン受像機に合わせた映像信号の生成を行う。グラフィックデータは、テレビジョン受像機のスクリーンを全て覆う大きさを持つ矩形の画素集合の2次元配列からなるグラフィック要素と、スクリーン上のいずれの位置にも配置可能な1つの矩形の画素集合からなるグラフィック要素から合成

28

される。ここでは、前者をテキストスクリーン、後者をスプライトと呼称し、それぞれの矩形の画素集合と共にキャラクタと呼称する。本実施例に用いられたものは最大で2枚のテキストスクリーンと最大で256個のスプライトが表示可能である。合成されたグラフィックデータより、NTSC規格及びPAL規格に準ずる受像機に表示可能な映像信号が生成される。

【0171】サウンド処理プロセッサ (1303) は、サウンドデータの合成、音声信号の生成を行う。サウンドデータは、基本の音色となるPCM (パルスコードモジュレーション) データに対し、ピッチ変換及び振幅変調を行い合成される。振幅変調では、中央演算処理プロセッサ (1301) によって指示されるボリューム制御の他に、ピアノ、ドラムといった楽器の波形を再現するためのエンベロープ制御の機能が用意される。

【0172】DMA制御プロセッサ (1304) は、外部ROMもしくは外部RAMから内部メモリへのデータ転送を司る。

【0173】内部メモリ (1305) は、マスクROM、スタティックメモリ (SRAM)、ダイナミックメモリ (DRAM) のうち、必要なものを備える。SRAMのバッテリによるデータ保持が必要とされる場合、本マルチプロセッサ外部にバッテリ (1325) が必要とされる。DRAMが搭載される場合、定期的にリフレッシュと呼ばれる記憶内容保持のための動作が必要とされる。

【0174】第1バス調停回路 (1306) は、第1バスに接続されている各バスマスターからの第1バス使用要求信号を受け付け、第1バスの優先順位情報に従って調停を行い、各バスマスターへのバスの使用許可信号を発行する。本実施例での第1バスのバスサイクルは、クロック信号の1サイクルに相当するので、バス調停回路は前記の動作をクロック信号の1サイクル毎に行う。

【0175】第2バス調停回路 (1307) は、第2バスに接続されている各プロセッサからの第2バスの使用要求信号を受け付け、第2バスの優先順位情報に従って第2バスの調停を行い、プロセッサへのバス使用許可信号を発行する。本実施例での第2バスのバスサイクルは、クロック信号の2~8サイクルに相当するので、バス調停回路は上記の動作をバスサイクル毎に行うと共に、バスサイクル終了信号を発行し、プロセッサにバスサイクルの終了を知らせる。

【0176】入出力制御回路 (1308) は、人間からの入力を受け付ける外部入力装置や外部の半導体素子との通信などに主に用いられる。

【0177】タイマ回路 (1309) は、プログラムが設定した時間間隔に基づき、中央演算処理プロセッサ (1301) に対し、割り込み要求信号を発生する機能を有する。

【0178】A/Dコンバータ (1310) は、アナログレベルの入力電圧信号をデジタル数値へと変換する。

(16)

29

【0179】PLL回路(1311)は、フェイズロックループ(PLL)により、構成され、プロセッサ外部の水晶振動子(1324)より得られる正弦波信号をM/N倍(M、Nは整数)した高周波クロック信号を生成する。

【0180】クロックドライバ(1312)は、PLL回路より受け取った高周波信号を、各機能ブロックへのクロック信号を供給するのに充分な信号強度へと增幅する。

【0181】低電圧検出回路(1313)は、電源電圧を監視し、電源電圧が定められた一定電圧以下の時に、PLL回路のリセット、その他のシステム全体のリセットを制御する信号を発行する。また、本プロセッサ内部または外部にSRAMが設けられていて、なおかつSRAMのバッテリによるデータ保持が要求される場合、電源電圧が定められた一定電圧以下の時に、バッテリバックアップ制御信号を発行する機能を有する。

【0182】外部メモリインターフェース回路(1314)は、第2バスを外部バスに接続するための機能、第2バスサイクル長制御レジスタ、メモリマップモード制御レジスタを有する。

【0183】本高速マルチプロセッサには2種類のメモリマップモード存在し、制御レジスタにより切替が可能である。いずれのメモリマップモードにおいても、外部バスの空間はROM領域とROM/RAM領域の大きく二つに分けられており、それぞれに異なる1バスサイクルのクロック数を指定することが可能である。ROM領域は、前記の第2バス領域Aに、ROM/RAM空間は前記の第2バス領域Bに相当する。

【0184】DRAMリフレッシュ制御回路(1315)は、一定期間毎に第1バスの使用権を無条件で獲得し、DRAMのリフレッシュ動作を制御する。

【0185】サウンド処理プロセッサ(1303)、グラフィック処理プロセッサ(1302)、DMA制御プロセッサ(1304)、タイマ回路(1309)、入出力制御回路(1308)、A/Dコンバータ(1310)は、中央演算処理プロセッサ(1301)に対し、割り込み要求信号を発生する機能を有する。これらは夫々図15に示す割り込み要求信号A～Fに相当する。

【0186】上記高速マルチプロセッサを用いた場合の第1の効果は、バススレーブの応答速度及びデータ転送能力に合わせてバスを第1バスと第2バスの二つに分割しているので、これらの共有バスの使用効率が高まり、高速マルチプロセッサ全体としての処理能力が向上することである。

【0187】第2の効果は、各々のバスマスターが第1バスと第2バスに対するインターフェースを独立に有しており、片方のバスを使用する際に、もう一方のバスを駆に占有することなく、前述の効果と同様に共有バスの使用効率が高まることである。

【0188】第3の効果は、バスサイクルがバスマスターのバスサイクルスピードによって定められず、バススレ

30

ーブ及びバスそのものが動作可能な最速でバスサイクルが定められることにより、実施例に示される中央演算処理プロセッサのように低速なバスサイクルを有するバスマスターがアクセスする場合でも、バスの使用効率が落ちることが無いことである。

【0189】第4の効果は、実施例に示す中央演算処理プロセッサのように、単一の論理アドレス空間上に複数の物理アドレス空間が配置されることにより、これら複数の物理アドレス空間をプログラム上で統一的かつ連続的に扱うことが可能になることである。

【0190】第5の効果は、前述のようにバス調停回路が構成されることにより、各バスマスターのバス使用権の配分に重み付けを与えることと、全てのバスマスターに対して一定期間内においてバス使用権の取得を保証することが可能となり、さらに処理内容の変化に対応してバスマスターのバス使用権の配分の重み付けを動的に変化させることにより、システム全体としての総合処理能力を高めることができることである。

【0191】第6の効果は、この実施例に示す高速マルチプロセッサを单一半導体素子上で実現することにより、複数バスを備えることや、各々のバスマスターが複数バスに対するインターフェースを独立に有することによる配線の多さが問題にならなくなり、非常に簡素な外部回路にて高性能なシステムを実現することが可能となることである。

【図面の簡単な説明】

【図1】 本発明にかかる高速プロセッサの概要を示す説明図である。

【図2】 上記高速プロセッサに用いられる中央演算処理プロセッサの構成例を示す説明図である。

【図3】 上記中央演算処理プロセッサの論理アドレス空間のメモリマップモード1を示す説明図である。

【図4】 上記中央演算処理プロセッサの論理アドレス空間のメモリマップモード2を示す説明図である。

【図5】 上記中央演算処理プロセッサの第1バス使用例を示すタイミングチャートである。

【図6】 上記中央演算処理プロセッサの第2バス使用例を示すタイミングチャートである。

【図7】 第1バス調停回路の概要を示す回路図である。

【図8】 第1バス調停回路における優先順位情報の設定例を示す表である。

【図9】 優先順位情報の表す優先順位序列の例を示す表である。

【図10】 第1バスの調停例その1を示すタイミングチャートである。

【図11】 第1バスの調停例その2を示すタイミングチャートである。

【図12】 第2バス調停回路の概要を示す回路図である。

(17)

31

【図13】 第2バスの調停例を示すタイミングチャートである。

【図14】 第2バス調停回路における優先順位情報の設定例を示す表である。

【図15】 本発明にかかる高速プロセッサを用いた実施例を示す回路図である。

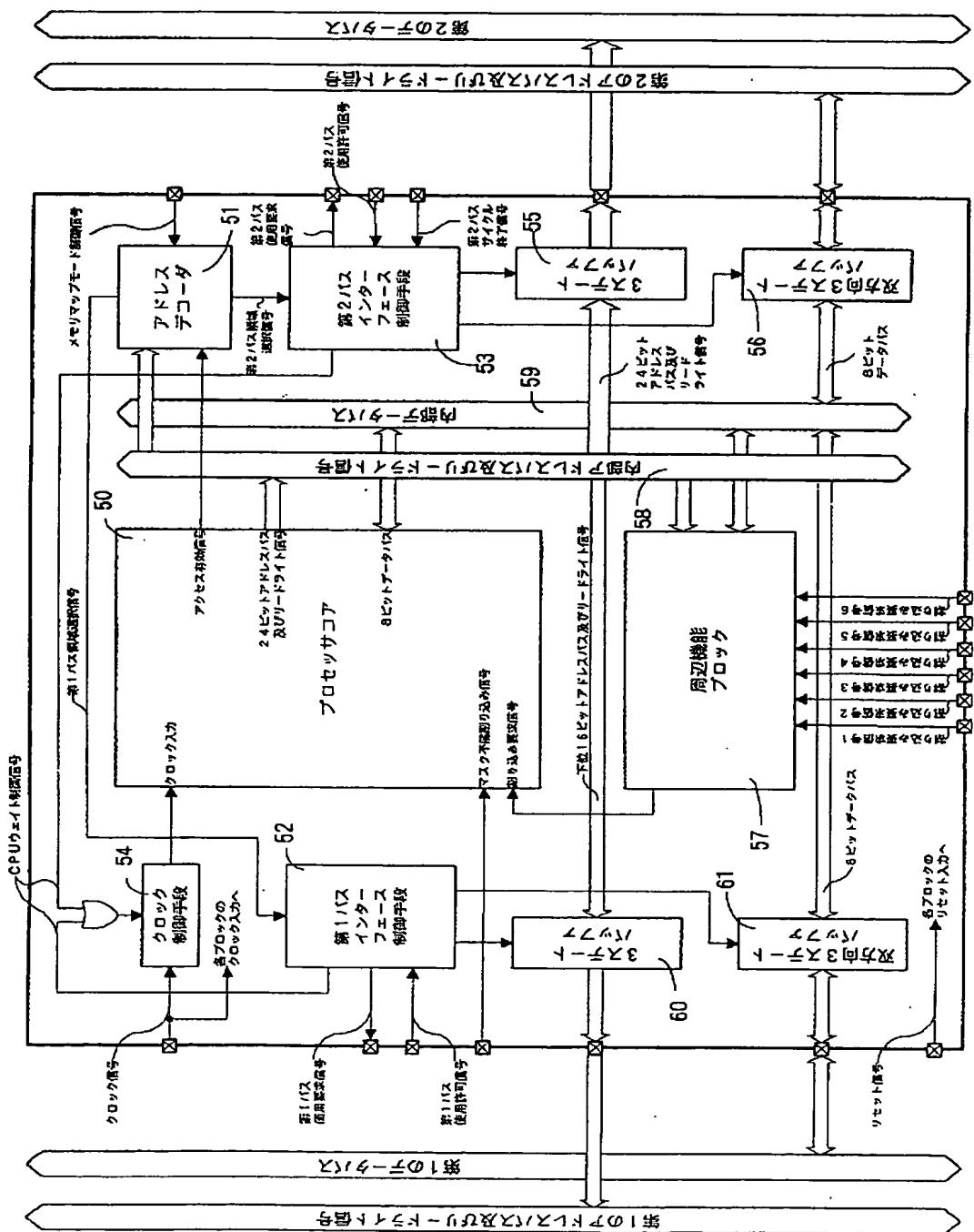
【図16】 従来のバスシステムの説明図である。

32

【符号の説明】

- 1 バスマスター
- 2 バスマスター
- 10 バス
- 11 バス
- 20 バススレーブ
- 21 バススレーブ

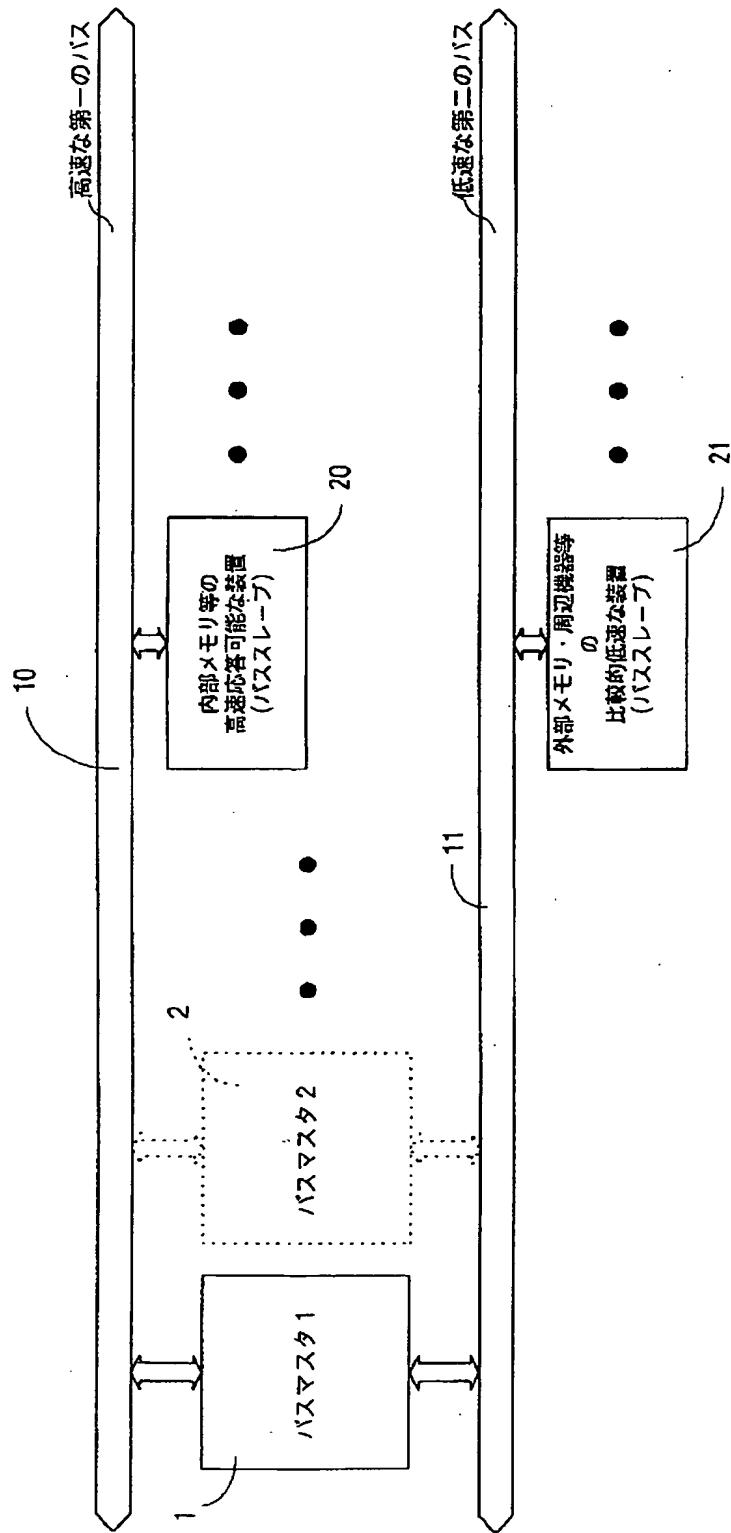
【図2】



中央演算処理プロセッサの構成例

(18)

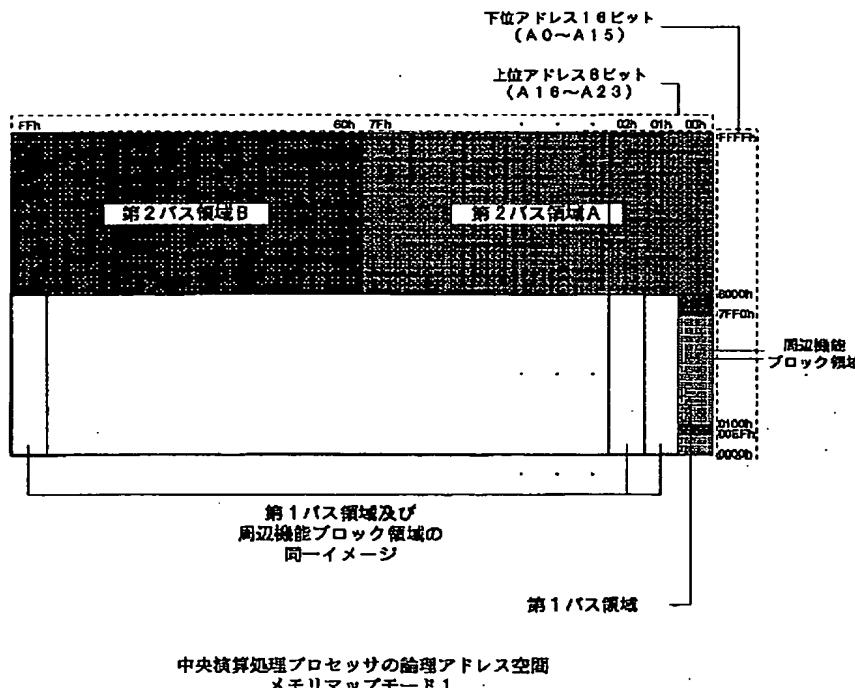
【図1】



本発明におけるバスシステム

(19)

【図3】

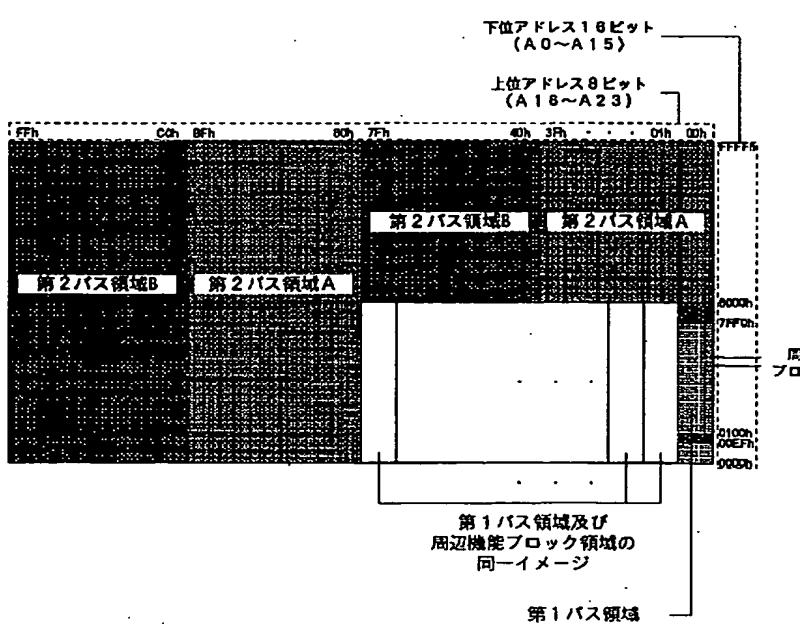


【図8】

バスサイクルカウンタの値	優先順位情報の値
0	0
1	3
2	1
3	3
4	0
5	3
6	2
7	3
8	0
9	3
10	2
11	3
12	0
13	3
14	2
15	3

第1バス調停回路における優先順位情報の設定例

【図4】



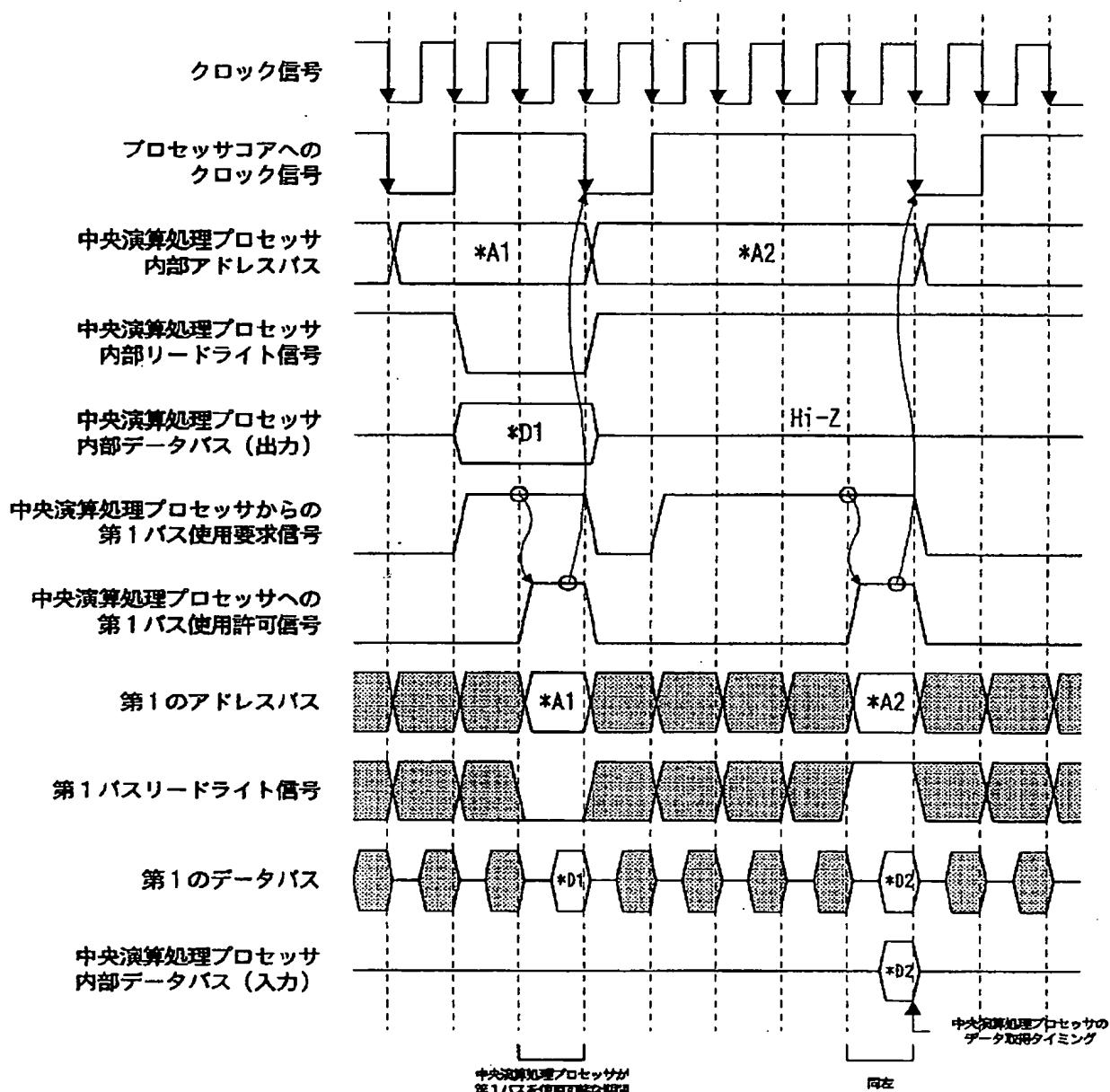
【図14】

バスサイクルカウンタの値	優先順位情報の値
0	1
1	3
2	1
3	2
4	1
5	3
6	1
7	0

第2バス調停回路における優先順位情報の設定例

(20)

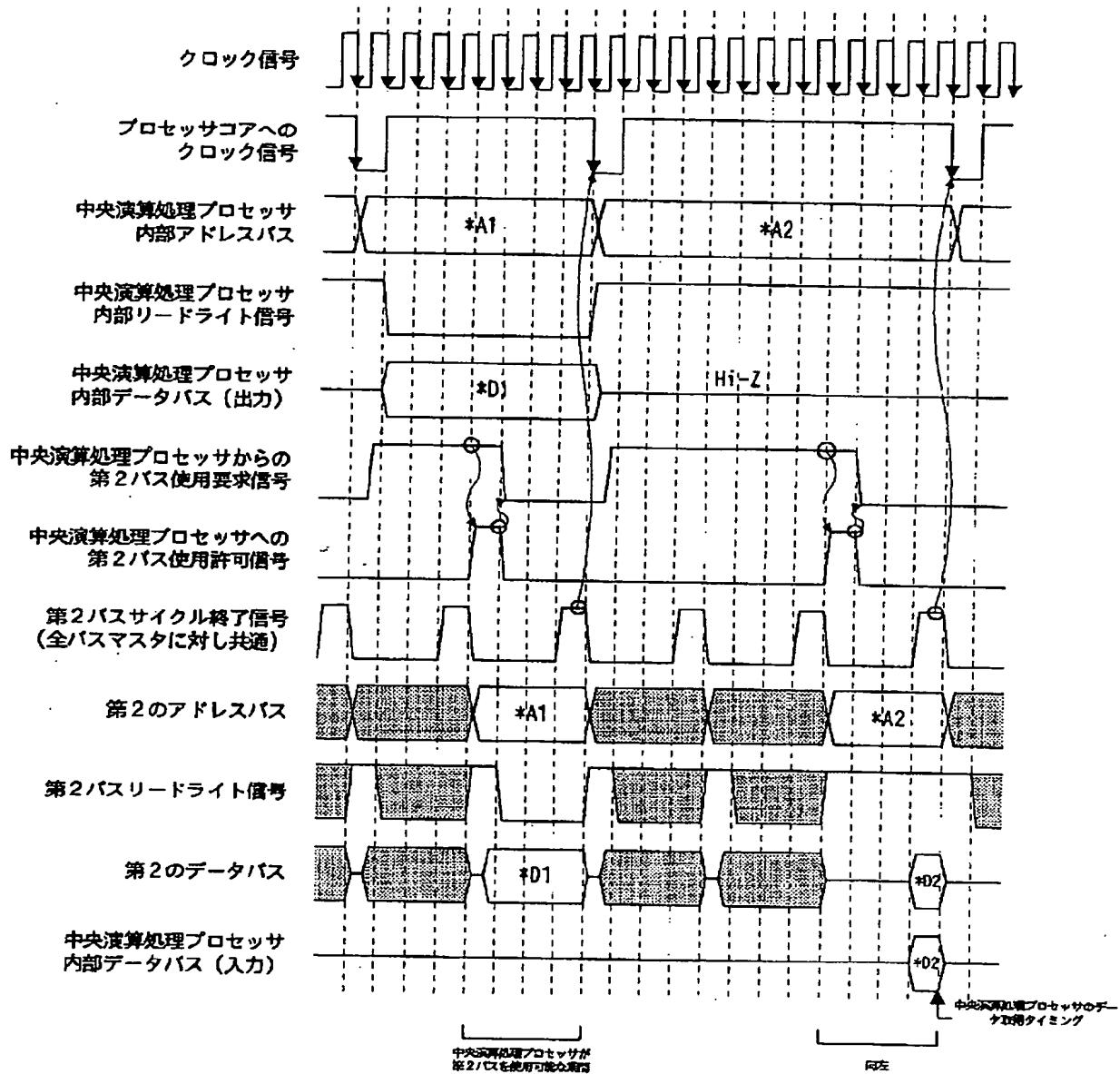
【図5】



中央演算処理プロセッサの第1バス使用例

(21)

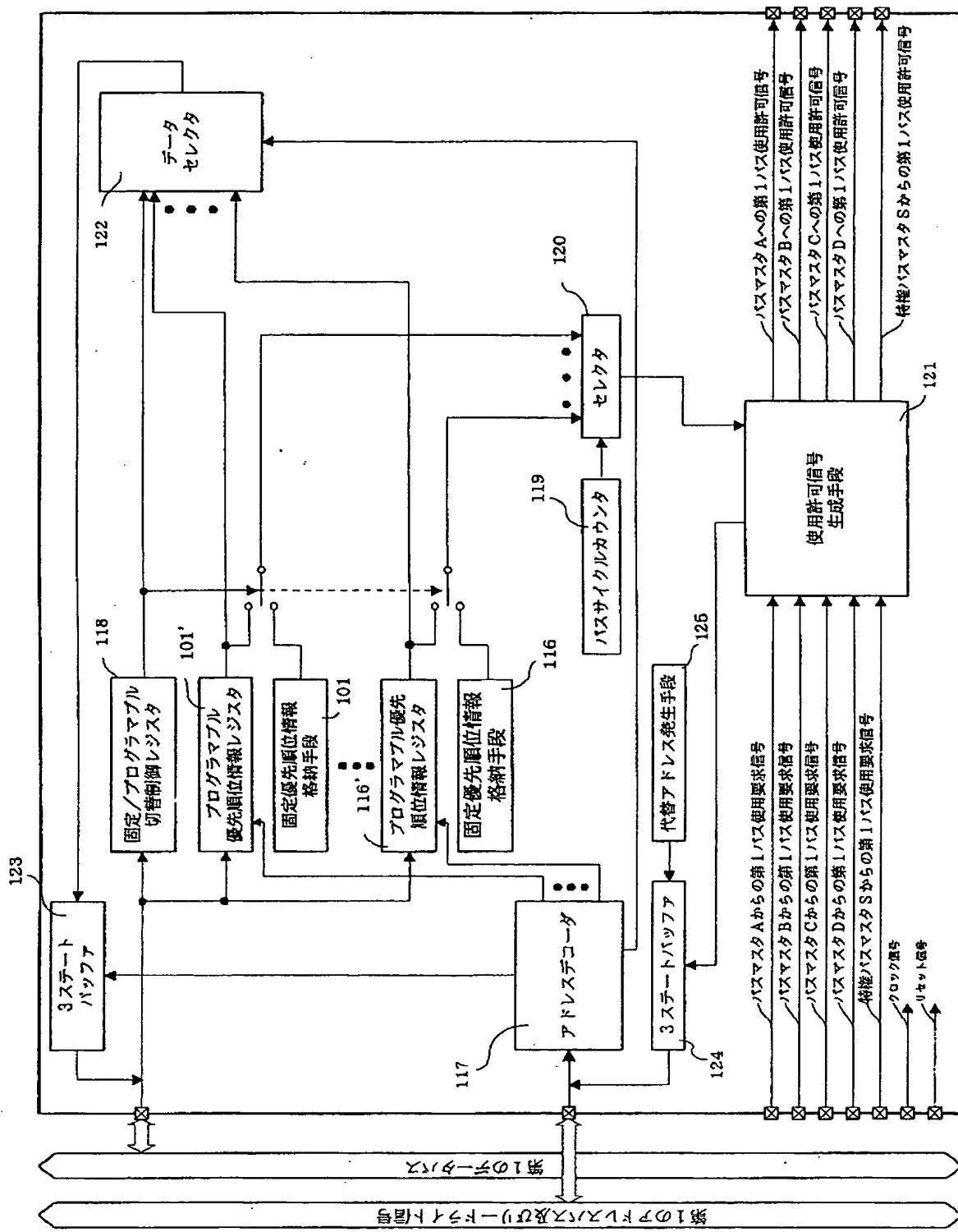
【図6】



中央演算処理プロセッサの第2バス使用例

(22)

【図7】



(23)

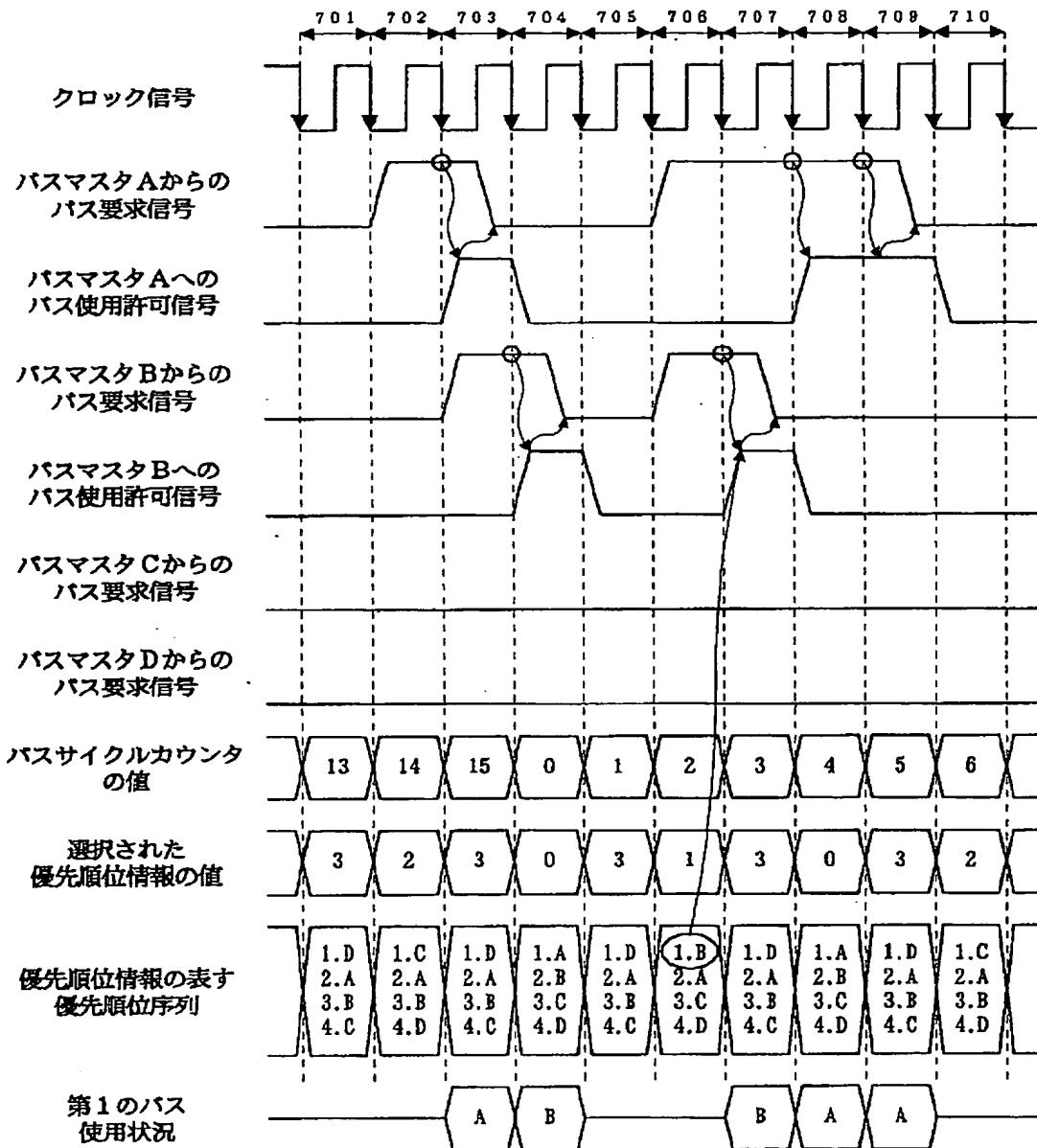
【図9】

優先順位情報の値	第1の優先順位	第2の優先順位	第3の優先順位	第4の優先順位
0	バスマスクA	バスマスクB	バスマスクC	バスマスクD
1	バスマスクB	バスマスクA	バスマスクC	バスマスクD
2	バスマスクC	バスマスクA	バスマスクB	バスマスクD
3	バスマスクD	バスマスクA	バスマスクB	バスマスクC

優先順位情報の表す優先順位序列の例

(24)

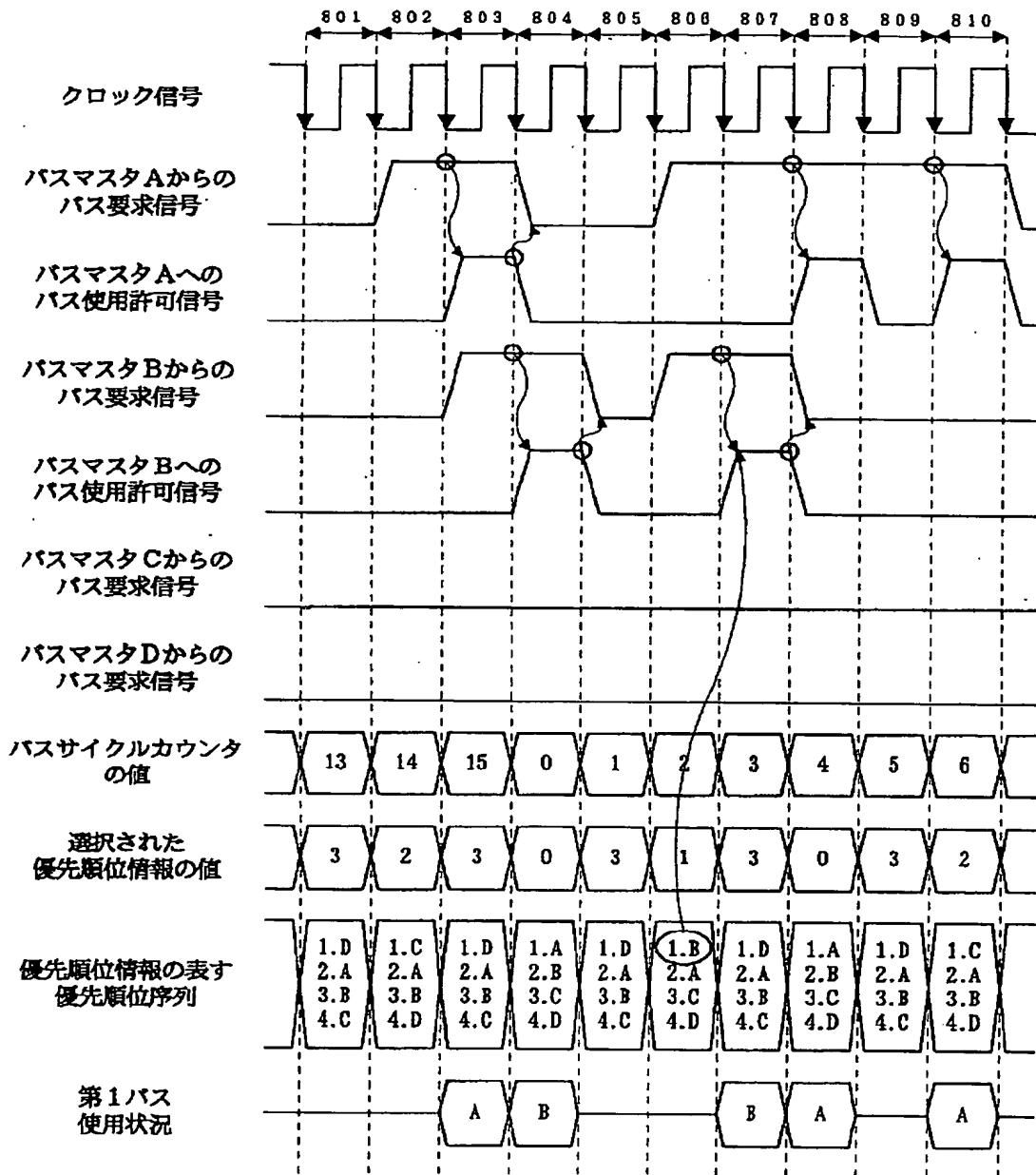
【図10】



第1バスの調停例 その1

(25)

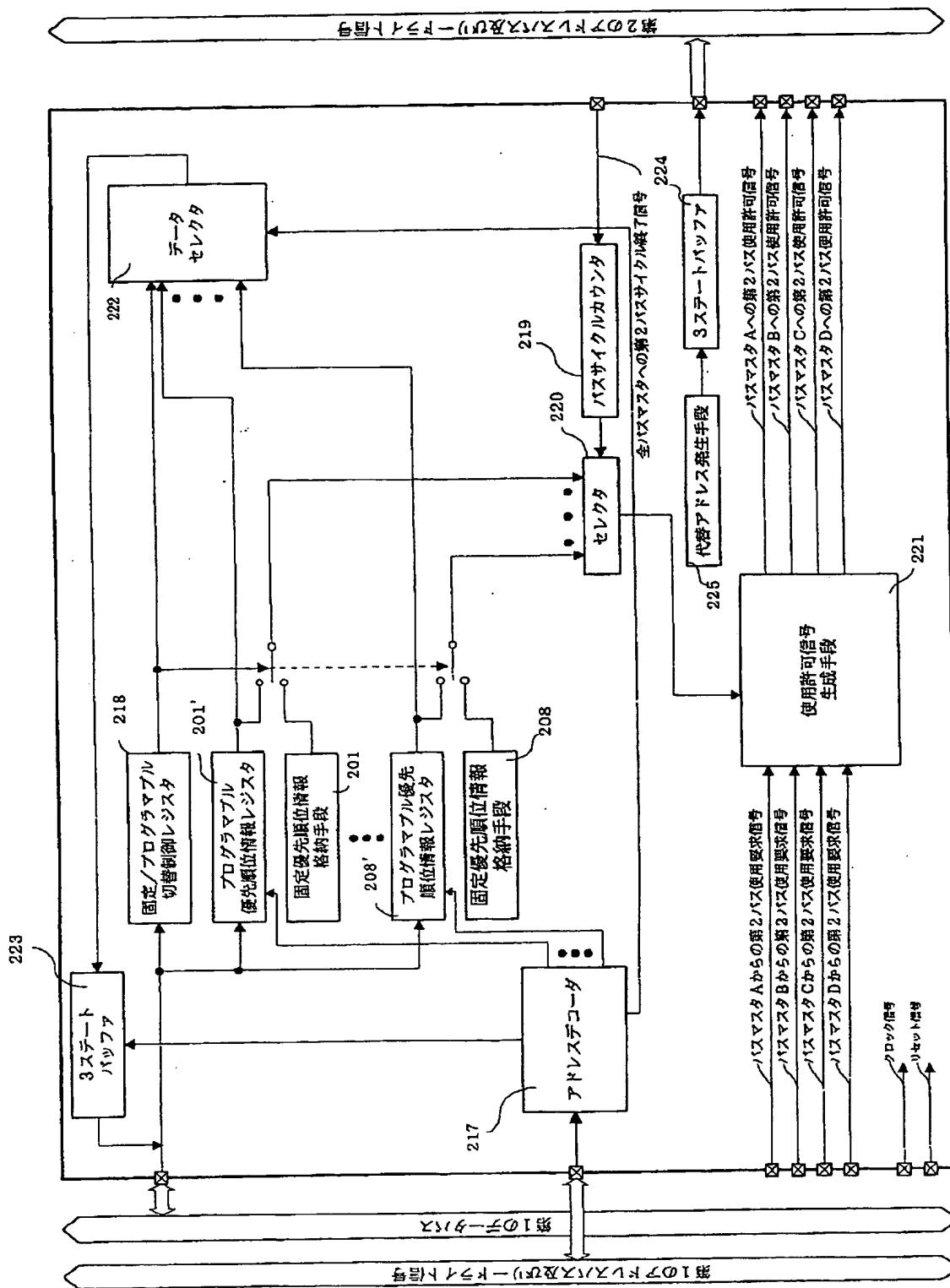
【図11】



第1バスの調停例 その2

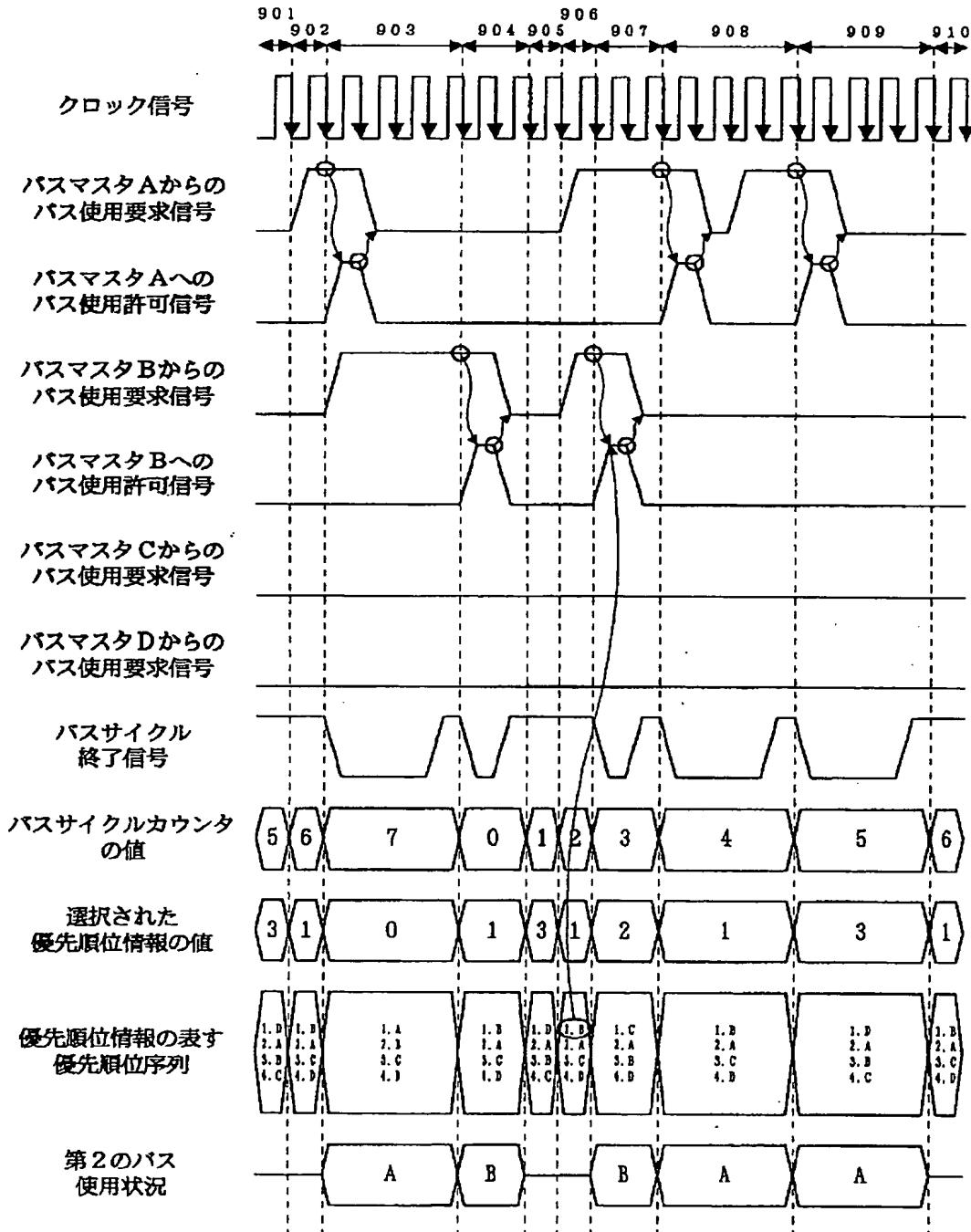
(26)

【図12】



(27)

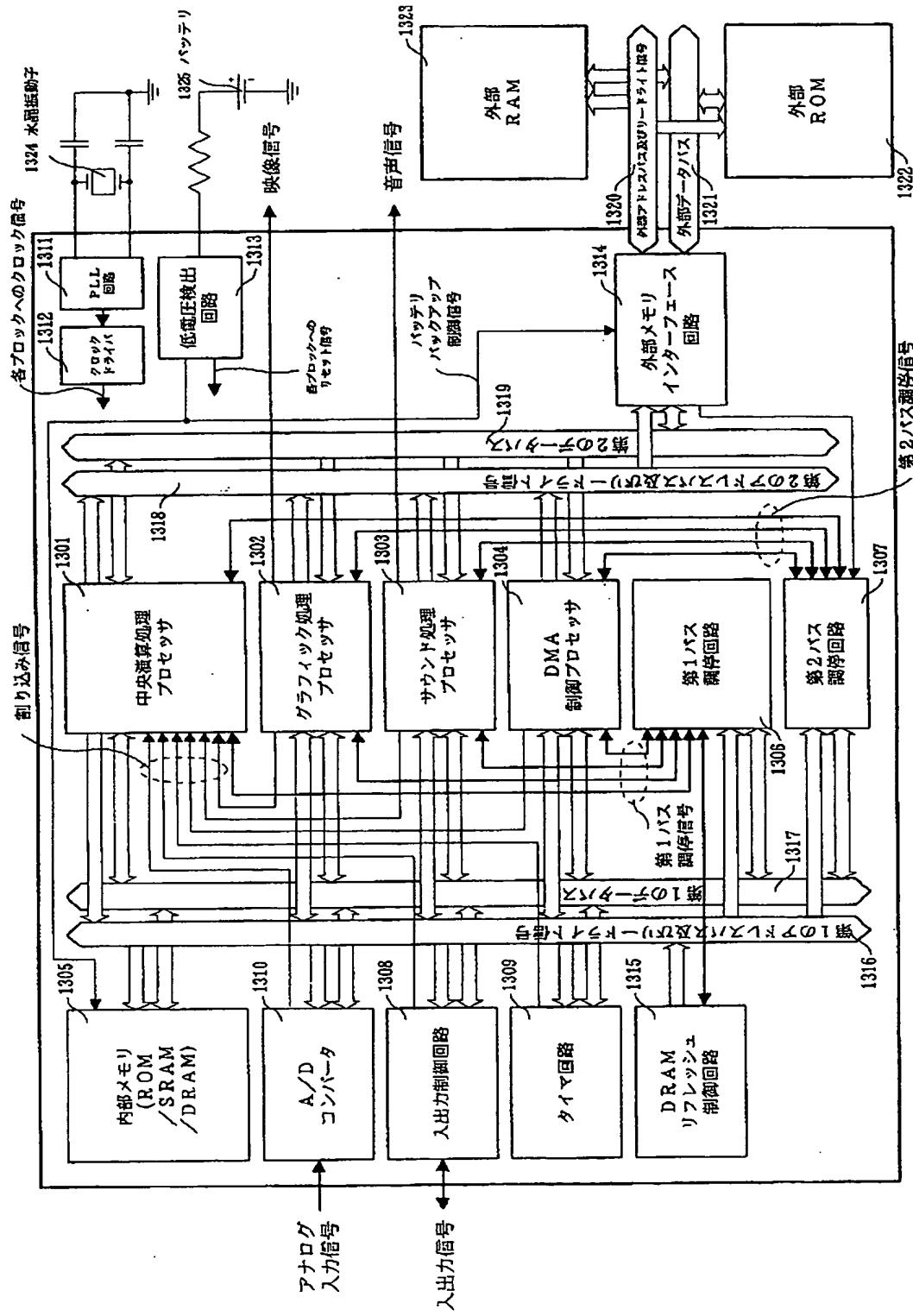
【図13】



第2バスの調停例

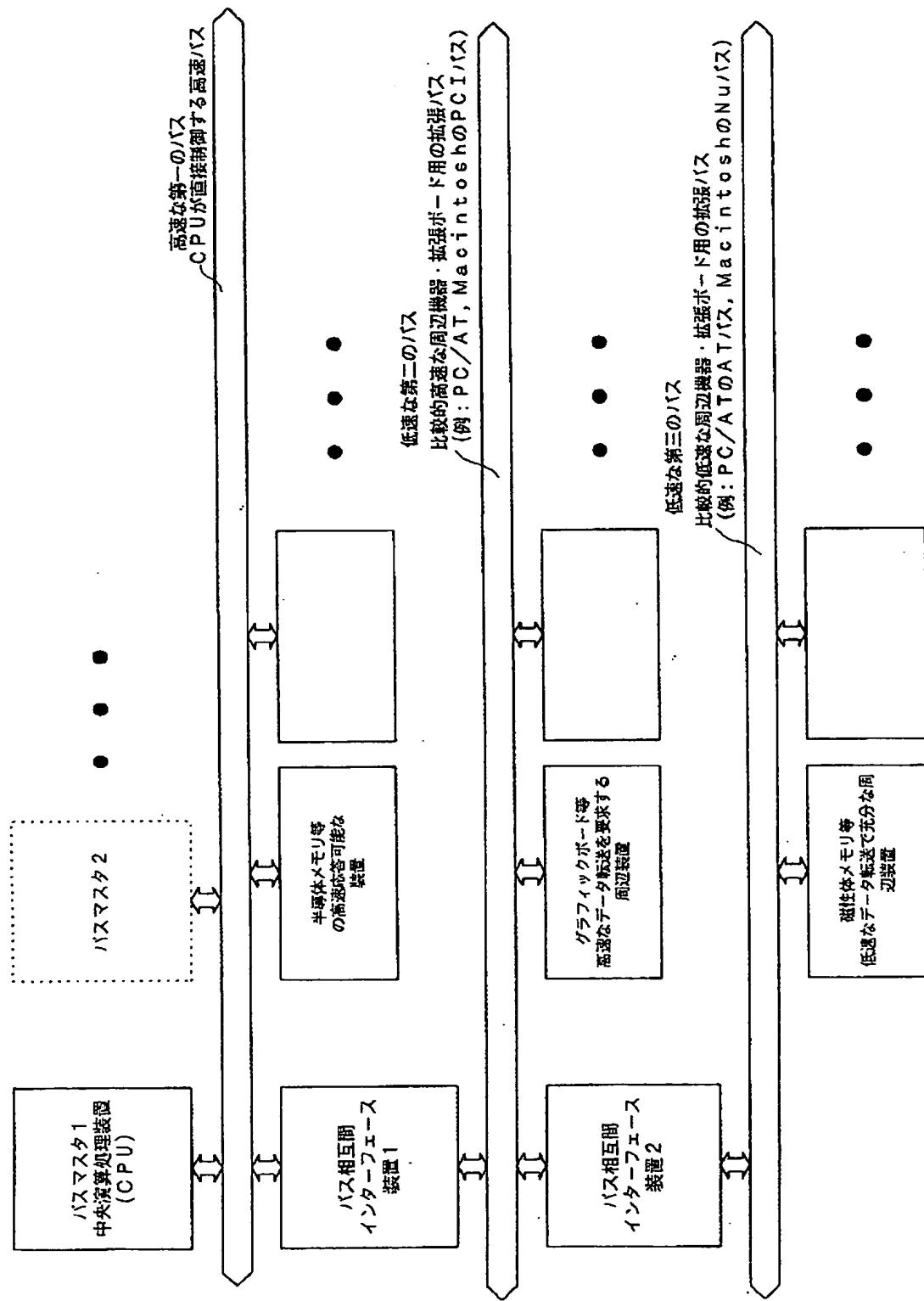
(28)

【図15】



(29)

【図16】



パーソナルコンピュータやワークステーション等に多く見られるバスシステムの例

【公開番号】特開2001-60286

【公報種別】特許法第17条の2の規定による補正の掲載

【S T公報種別】A5

【公開日】2001年(2001)3月6日

【出願番号】特願平11-235666

【発行日】2005年(2005)3月3日

【部門区分】第6部門第3区分

【国際特許分類第7版】

G07F 17/00

G06F 17/60

G06K 17/00

G06K 19/00

G11B 20/12

【F I】

G07F 17/00 B

G06K 17/00 R

G11B 20/12 101

G06F 15/21 Z

G06F 15/21 330

G06F 15/21 340 A

G06K 19/00 U

【手続補正書】

【提出日】2004年(2004)3月30日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

また、図1(b)に示す記録カード11には、前記プリペイド情報記録領域12とコンテンツ情報記録領域13以外に配信センターを特定したり、配信されるソフトウェアの内容を特定するための付加情報記録領域14が配置されている。この付加情報記録領域14には、記録カード11を購入時に前記プリペイド情報記録領域12に書き記録した前払い金額データと共に、配信センターの名称、ソフトウェアのタイトル名称、書き記録するコンテンツのデータ容量、あるいは演奏者、または配信センターから伝送されるソフトウェアが暗号化されている際の暗号解読キー等の情報が記録されるようになっている。【手続補正2】
2

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

前記課金データと付加情報が書き記録された前記記録カード11が挿着された前記受信器17をユーザが指定する配信センター16の伝送路22に接続し、指定するソフトウェアのダウンロード指示を行うと、受信器17のプリペイド／付加情報読み取り回路26は、記録カード11のプリペイド情報記録領域12と付加情報記録領域14からデータの読み取りを行い、ステップS11で前記プリペイド情報記録領域12に書き込まれている課金データを読み取り残金を検出する。次に、ステップS12で前記付加情報記録領域14に書き込まれている付加情報を読み取る。次にステップS13で前記受信回路23で受信

(2)

し、前記分離回路24で配信センター16から伝送されたソフトウェアの課金データと付加情報を分離読み取り、ステップS14で前記ステップS11とS12で記録カード11から読み取った課金データと付加情報を照合し、前記記録カード11の残金が配信センター16から伝送された所望のソフトウェアの課金データ以内か判定すると共に、付加情報が一致するか判定する。記録カード11の残金が配信センター16から伝送された課金データ内で、かつ、付加情報が一致すると、ステップS15で前記料金減額／ダウンロード指示回路27から記録カード11のプリペイド情報記録領域12にダウンロード料金データを書き込み、かつ、課金データから減算して新たな残金データを算出して書き換える。【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

次に、ステップS16で前記ステップS15でのプリペイド情報記録領域12の料金データの減額と書換が終了したことを確認後、ステップS17で前記料金減額／ダウンロード指示回路27から前記コンテンツデータダウンロード回路28に対して前記分離回路24で分離したソフトウェアのコンテンツデータのダウンロードの開始指示を与えて、前記記録カード11のコンテンツ情報記録領域13に所望のソフトウェアのコンテンツデータを書き記録させる。